

Projektiranje i PLC implementacija proporcionalno-rezonancijskog regulatora za dinamički sustav harmoničkih veličina

Sušec, Damir

Master's thesis / Diplomski rad

2016

Degree Grantor / Ustanova koja je dodijelila akademski / stručni stupanj: **University of Zagreb, Faculty of Mechanical Engineering and Naval Architecture / Sveučilište u Zagrebu, Fakultet strojarstva i brodogradnje**

Permanent link / Trajna poveznica: <https://urn.nsk.hr/urn:nbn:hr:235:753605>

Rights / Prava: [In copyright](#) / [Zaštićeno autorskim pravom](#).

Download date / Datum preuzimanja: **2024-07-18**

Repository / Repozitorij:

[Repository of Faculty of Mechanical Engineering and Naval Architecture University of Zagreb](#)



SVEUČILIŠTE U ZAGREBU
FAKULTET STROJARSTVA I BRODOGRADNJE

DIPLOMSKI RAD

Damir Sušec

Zagreb, 2016.

SVEUČILIŠTE U ZAGREBU
FAKULTET STROJARSTVA I BRODOGRADNJE

DIPLOMSKI RAD

Mentori:

Doc. dr. sc. Danijel Pavković

Student:

Damir Sušec

Zagreb, 2016.

Izjavljujem da sam ovaj rad izradio samostalno koristeći stečena znanja tijekom studija i navedenu literaturu.

Zahvaljujem se svome mentoru doc.dr.sc. Danijelu Pavkoviću na stručnoj i moralnoj potpori prilikom izrade rada, te svojoj obitelji na strpljenju prilikom studija.

Damir Sušec



SVEUČILIŠTE U ZAGREBU
FAKULTET STROJARSTVA I BRODOGRADNJE



Središnje povjerenstvo za završne i diplomske ispite
 Povjerenstvo za diplomske ispite studija strojarstva za smjerove:
 proizvodno inženjerstvo, računalno inženjerstvo, industrijsko inženjerstvo i menadžment, inženjerstvo
 materijala i mehatronika i robotika

Sveučilište u Zagrebu Fakultet strojarstva i brodogradnje	
Datum	Prilog
Klasa:	
Ur.broj:	

DIPLOMSKI ZADATAK

Student: **Damir Sušec** Mat. br.: 0035165129

Naslov rada na hrvatskom jeziku: **Projektiranje i PLC implementacija proporcionalno-rezonancijskog regulatora za dinamički sustav harmoničkih veličina**

Naslov rada na engleskom jeziku: **Design and PLC implementation of proportional-resonant controller for a dynamic system with harmonic quantities**

Opis zadatka:

U slučaju potrebe za regulacijom harmoničkih (sinusnih) veličina u dinamičkim sustavima dobra kvaliteta regulacije može se postići primjenom proporcionalno-rezonancijskog (PR) regulatora, čija jednostavna struktura omogućuje izravnu implementaciju na razmjerno ne-sofisticiranom upravljačkom hardveru. U radu je potrebno napraviti sljedeće:

1. Projektirati i ispitati simulacijama na računalu PR regulator struje za napajanje jednofazne izmjenične mikromreže, i to najprije za slučaj idealiziranog modela pretvarača kao izvora sinusnog napona, te potom za slučaj realističnijeg sklopnog modela pretvarača temeljenog na pulsno-širinskoj modulaciji (PWM) napona istosmjernog međukruga pretvarača.
2. Opisati sustave programibilnih logičkih kontrolera (PLC-a) Simatic S7-200 i S7-300, te pomoćni FM 352-5 ekstenzijski modul s brzim logičkim procesorom u FPGA (engl. Field Programmable Generic Array) tehnologiji.
3. Implementirati PR regulator unutar CPU jedinice PLC-a opremljene pulsno-širinskim modulatorom (PWM), a pomoću kojih će se regulirati harmonička veličina jednostavnog dinamičkog sustava emuliranog u PLC-u.
4. Snimiti odzive harmoničke reference i regulirane veličine, te PWM valni oblik aktivacijskih impulsa tranzistorskih sklopki kojima se emulira harmonička referenca u realnim primjenama.

Zadatak zadan:

5. svibnja 2016.

Rok predaje rada:

7. srpnja 2016.

Predvideni datum obrane:

13., 14. i 15. srpnja 2016.

Zadatak zadao:

Danijel Pavković
 Doc. dr. sc. Danijel Pavković

Predsjednik Povjerenstva:

Franjo Cajner
 Prof. dr. sc. Franjo Cajner

SADRŽAJ

SADRŽAJ	V
POPIS SLIKA	VII
POPIS TABLICA.....	VIII
POPIS OZNAKA	IX
SAŽETAK.....	X
SUMMARY	XI
1. UVOD.....	1
2. PROJEKTIRANJE PR REGULATORA	2
2.1. Mikromreža.....	2
2.2. Uvod u sintezu regulacijskog kruga struje	4
2.3. Sinteza regulacijskog kruga	4
2.3.1. Sinteza regulacijski krugova prema optimumu dvostrukog odnosa	4
2.3.2. Sinteza PR regulatora struje za napajanje jednofazne izmjenične mikromreže....	6
2.3.3. Simulacija regulacijskog kruga struje – vremenski-kontinuirani regulator	9
2.3.4. Simulacija regulacijskog kruga struje – vremenski-diskretni regulator.....	10
2.3.5. Sklopni model pretvarača temeljen na pulsno-širinskoj modulaciji(PWM) signala	11
2.3.6. Simulacija regulacijskog kruga struje sa implementiranim sklopnim modelom pretvarača temeljenog na pulsno-širinskoj modulaciji signala	13
3. Programabilni logički kontroler PLC	15
3.1. Uvod.....	15
3.2. Osnovna operacija PLC-a	15
3.3. Hard-Wired Control	16
3.4. Prednosti PLC-a prema Hard wirred control načinu upravljanja.....	17
3.5. Siemens modularni PLC uređaji	17
3.6. Simatic softver	18
3.7. Brojevni sustavi.....	19
3.7.1. BCD brojevni sustav	19
3.7.2. Heksadecimalni sustav	19
3.8. Terminologija PLC sustava.....	20
3.8.1. Senzori	20
3.8.2. Aktuator	20
3.8.3. Logički ulazi i izlazi.....	20
3.8.4. Analogni ulazi i izlazi	21
3.8.5. Procesor.....	22
3.8.6. PLC Scan.....	22
3.8.7. Memorije.....	23
3.9. Spajanje PLC-a.....	23
3.10. PLC model S7-200.....	25
3.10.1. S7-200 procesori	25
3.10.2. Napajanje PLC-a S7-200	25
3.10.3. Stanja rada PLC-a	26

3.10.4. Dodatna oprema procesora PLC-a	27
3.10.5. Memorija i memorijska područja S7-200	28
3.10.6. Moduli za nadogradnju	30
3.13. Timeri	32
3.14. Brze instrukcije (HIGH SPEED INSTRUCTIONS).....	32
3.14.1. Interrupt.....	32
3.14.2. Pulse Training Output (PTO).....	33
3.14.3. PWM	33
4. FPGA tehnologija	36
4.3. Postupci opisa, sinteze i programiranja konfiguracije FPGA sklopa.....	38
4.4.1. Funkcije FM 352-5 modula.....	41
4.4.2. Konfiguracija sustava.....	42
4.4.3. Značajke FM 352-5	43
5. Implementacija PR regulatora	44
5.1. Postav za implementaciju PR regulatora	44
5.2. Implementacija PR regulatora.....	45
5.3. Rezultat implementacije PR regulatora.....	46
6. ZAKLJUČAK.....	48
POPIS LITERATURE	49
PRILOG	52
Matlab Simulink simulacije.....	52
Kod implementiran u PLC S7-200.....	59

POPIS SLIKA

Slika 1.	Topologija istosmjerne mikromreže sa više upravljivih izvora i	3
Slika 2.	Pojednostavljeni prikaz regulacijskog kruga.....	4
Slika 3.	Podešavanje prigušenja	6
Slika 4.	Blok dijagram regulacijskog kruga struje	7
Slika 5.	Pojednostavljeni sustav regulacije struje.....	8
Slika 6.	Simulacija idealizirani model pretvarača	9
Slika 7.	Simulacijski blok PR regulatora.....	9
Slika 8.	Rezultati simulacije - idealizirani model.....	9
Slika 9.	Simulacijski blok PR regulatora - vremenski-diskretni slučaj	10
Slika 10.	Rezultati simulacije – vremenski-diskretni model	10
Slika 11.	Upravljanje frekvencijskim pretvaračem	11
Slika 12.	Implementacija PWM trokutastog signala	12
Slika 13.	Detalj generiranja PWM signala za sinusnu referencu.....	13
Slika 14.	Model pretvarača u cjelobrojnoj logici unutar FPGA funkcijskog modula FM-352-5.....	13
Slika 15.	Rezultati simulacije regulatora struje za realistični PWM model pretvarača.....	14
Slika 16.	S7-200 PLC	15
Slika 17.	Rad PLC-a	16
Slika 18.	Ilustracija upravljačke logike zasnovane na ožičenim vezama	17
Slika 19.	PLC LOGO!, S7-200, S7-300	18
Slika 20.	BCD u decimalni sustav	19
Slika 21.	Spajanje aktuatora na PLC	20
Slika 22.	Primjer kruga sa analognim ulazima i izlazima	21
Slika 23.	Ilustracija lokacije i rada procesora.....	22
Slika 24.	PLC Scan	22
Slika 25.	Spajanje PLC-a na osobno računalo.....	24
Slika 26.	Vrste S7-200 procesora	25
Slika 27.	Pristup analognom podešavanju varijabli unutar procesora i odabir moda rada procesora	26
Slika 28.	Ulaz za nadogradnju PLC-a.....	27
Slika 29.	Simulator ulaza.....	27
Slika 30.	Spajanje dodatnih modula	30
Slika 31.	Spajanje PWM signala sa PLC-a.....	33
Slika 32.	Struktura programibilnog logičkog elemenata	36
Slika 33.	Struktura programibilnih polja logičkih blokova	37
Slika 34.	Koraci sinteze, konfiguracije i programiranja FPGA.....	39
Slika 35.	FM352-5	41
Slika 36.	Primjeri konfiguracije FM 352-5 modula	42
Slika 37.	Industrijsko računalo	44
Slika 38.	Postav PLC S7-200 FSB	44
Slika 39.	PR regulator.....	45
Slika 40.	Slijed implementacije generičkog sustava reguliranog PR regulatorom.....	45
Slika 41.	Rezultati regulacije PR regulatorom u RUN modu PLC-a	46

POPIS TABLICA

Tablica 1. Karakteristike ulaza S7-200 PLC-a.....	28
Tablica 2. Karakteristike izlaza S7-200 CPU 224.....	28
Tablica 3. Podaci o memoriji S7-200.....	28
Tablica 4. Tehničke značajke S7-300.....	34
Tablica 5. Značajke FM 352-5	43
Tablica 6. Parametri generičkog regulacijskog kruga sa implementiranim PR regulatorom.	47

POPIS OZNAKA

Oznaka	Jedinica	Opis
D_i		Karakteristični odnos ODO
T_e	s	ekvivalentna vremenska konstanta regulacijskog kruga
n		Red sustava
f	Hz	Frekvencija
I	A	Struja
i_{ref}	A	Referenca struje
i_m	A	Mjerena struja
u_{ch}	V	Napon choppera
u_l	V	Ulazni napon mreže
i_l	A	Izlaz struje iz regulacijskog kruga
R_c	Ω	Otpor prigušnice
L_c	H	Induktivitet prigušnice
ω	rad/s	Kružna frekvencija
t	s	Vrijeme
K_p		Pojačanje proporcionalnog dijela regulatora
K_r		Pojačanje rezonancijskog dijela regulatora
K_c	A/V	Pojačanje prigušnice
T_Σ	s	Vremenska konstanta parazitske dinamike sustava
T_c	s	Konstanta prigušnice
$i_{a,R}$	A	Referentna izmjenična struja
U_{max}	V	Maksimalni napon
U_{min}	V	Minimalni napon
u_{PWM}	V	Napon na izlazu iz PWM-a
f_{ch}	Hz	Frekvencija choppera
T	s	Period
x_{PWM}	V	Generirani trokutasti signal
f_{PWM}	Hz	Frekvencija PWM-a
u_{REF}	V	Referenca napona
y_r		referentna vrijednost signala
e		greška
y_m		mjerena vrijednost signala
U	V	Napon

SAŽETAK

U ovom radu je opisano projektiranje proporcionalno-rezonancijskog (PR) regulatora za dinamički sustav harmoničkih veličina. PR regulator je implementiran kao regulator struje za napajanje jednofazne izmjenične mikromreže, a zanimljiv je za AC pretvarače, jer daje beskonačno pojačanje na jednoj frekvenciji. Funkcionalnost PR regulatora potvrđena je detaljnim simulacijama.

Nadalje, opisan je princip rada i značajke Simatic S7-200 i S7-300 programibilnih logičkih kontrolera(PLC-a), te FM 352-5 modul sa implementiranom FPGA (engl. Field Programmable Array) tehnologijom koja je neophodna za brzo procesiranje signala.

Na kraju rada opisana je implementacija i dobiveni rezultati generičkog PR regulatora u S7-200 PLC-u, kako bi se pokazala funkcionalnost PR regulatora u realnom sustavu.

Ključne riječi: PR regulator, optimum dvostrukog odnosa, mikromreža, jednofazni DC-AC pretvarač, FPGA, S7-200, S7-300, FM352-5, STEP 7, Micro/WIN

SUMMARY

This paper describes the design of proportional-resonant (PR) controller for dynamic system with harmonic quantities. PR controller is implemented as a current controller for single-phase AC microgrid, and it is interesting to AC converters because it gives infinite gain at one frequency. Functionality of PR regulator is confirmed by detailed simulations. Furthermore, it has described the working principle and features of Simatic programmable logic controllers S7-200, S7-300 and FM352-5 module with embedded FPGA technology, which is essential for fast signal processing.

At the end of the paper is implementation and verification of generic PR controller are given within S7-200 programmable logic controller to show the functionality of the PR controller in the real system.

Keywords: PR controller, Double Ratios Optimum, Damping Optimum, microgrids, single-phase DC-AC converter, FPGA, S7-200, S7-300, FM352-5, STEP 7, Micro/WIN

1. UVOD

Razvojem industrije, tehnologije, potreba za električnom energijom raste. S druge strane proizvodnja električne energije pomoću fosilnih i nuklearnih goriva se nastoji smanjiti na minimum. Nuklearna energija se bori sa problemom otpada opasnih za floru i faunu, dok se rezerve fosilnih goriva sve više smanjuju, tako da se svjetsko gospodarstvo orijentira na obnovljive izvore energije.

No međutim, obnovljivi izvori energije ne daju toliku koncentraciju snage na maloj površini, što znači da je potrebno više manjih izvora spojiti u globalnu distribucijsku mrežu ili implementirati mikromreže na malom području. Osim toga, obnovljivi izvori energije poput solarnih panela, vjetroelektrana su diskontinuirani izvori snage. Da bi se ta snaga iskoristila potrebnu takvu snagu pohraniti, za što se između ostaloga koriste baterije. Baterije su izvori istosmjernje struje i napona, pa da bi se takvi izvori energije priključili na globalnu distribucijsku mrežu električne energije ili lokalnu mikromrežu, potrebni su pretvarači snage. Kroz godine različiti pretvarači snage su našli primjenu u sustavima povezanim sa standardnom distribucijskom mrežom. Većina ovih sustava uključuje pretvarač napona priključen na mrežu, čija je zadaća sinkronizirati i prenijeti varijabilnu snagu dobivenu iz obnovljivih izvora u mrežu. Takvi pretvarači su najčešće opremljeni PWM-om (pulsno-širinskim modulatorom) koji radi na visokoj frekvenciji. Pretvarači su u pravilu regulirani ili po struji ili po naponu, linearnim ili nelinearnim algoritmom. Prilikom odabira načina regulacije traži se optimalno rješenje. Parametri rješenja najčešće balansiraju između cijene, kompleksnosti uređaja, te kvalitete dobivenih valnih oblika na izlazu. Zbog sve veće prisutnosti malih izvora energije, u većoj mreži, uvode se standardi kvalitete koje mora zadovoljiti takav uređaj (za Europu IEC61727).

U ovom radu će se projektirati i na simulacijama ispitati PR regulator struje za napajanje jednofazne izmjenične mikromreže. PR regulator je zanimljiv za pretvarače jer daje beskonačno pojačanje na jednoj frekvenciji (frekvencija mreže je konstantna i Europi iznosi 50Hz), zatim će se opisati princip rada i značajke Simatic PLC S7-200 i S7-300 logičkih kontrolera i FPGA (eng. Field Programmable Array) 352-5 modul, te FPGA tehnologija. Na kraju slijedi implementacija generičkog PR regulatora u S7-200 PLC sustav.

2. PROJEKTIRANJE PR REGULATORA

2.1. Mikromreža

Mikromreža se može smatrati sustavom distribuiranih međusobno povezanih izvora energije poput vjetroturbina, fotonaponskih panela, gorivnih članaka i spremnika energije temeljenih na baterijama, super-kondenzatorima ili zamašnjacima, koji rade zasebno ili spojeni na glavnu distribucijsku AC mrežu električne energije. Zbog objedinjavanja različitih izvora energije i mogućnosti spremanja energije, mikromreže nude znatne prednosti u usporedbi sa standardnim izvorima električne energije, kao što su:

- spremanje viškova energije (vedri dan na solarnim panelima, veća brzina vjetra), ili pak nadoknađivanje manjka energije prilikom spajanja većeg broja tereta na mrežu,
- smanjeni gubici energije u prijenosu, pogotovo na mjestima gdje standardni izvori energije nisu dostupni (pustinja, planine),
- povišena pouzdanost u dobavu električne energije za izolirane sustave.

Glavna prednost mikromreža sa istosmjernim (DC) izvorima električne energije, u odnosu na standardne mreže sa izmjeničnim izvorima električne energije je mogućnost direktnog spajanja istosmjernih trošila i izvora u mrežu kroz DC međukrug mikromreže, bez potrebe DC/AC pretvarača snage, čime se povećava iskoristivost sustava u odnosu na sustave koji su bazirani isključivo na izmjeničnim izvorima (npr. mikromreže sa trofaznim generatorima).

U sustavima gdje je distribucija energije zasnovana na izmjeničnom sustavu napona, rezultirajuća mikromreža bi također trebala biti izmjenična za što je potrebna dodatna investicija u vidu jednofaznih ili trofaznih DC/AC sklopnih (engl. switching) pretvarača (izmjenjivača) i mrežnih filtara pomoću kojih se ublažava utjecaj viših harmonika, odnosno izobličenje napona (engl. total harmonic distortion, THD).

U prošlosti su mikromreže bile pod konstantnim opterećenjem, bez promjena, no, međutim u novije vrijeme to više nije slučaj; mikromreže su integrirane kao dio modularnih sustava u kojima se opterećenje mijenja u ovisnosti o potrebi spojenih tereta na mikromrežu, ili pak daljnjim nadogradnjama poput dodatnih izvora ili spremnika energije.

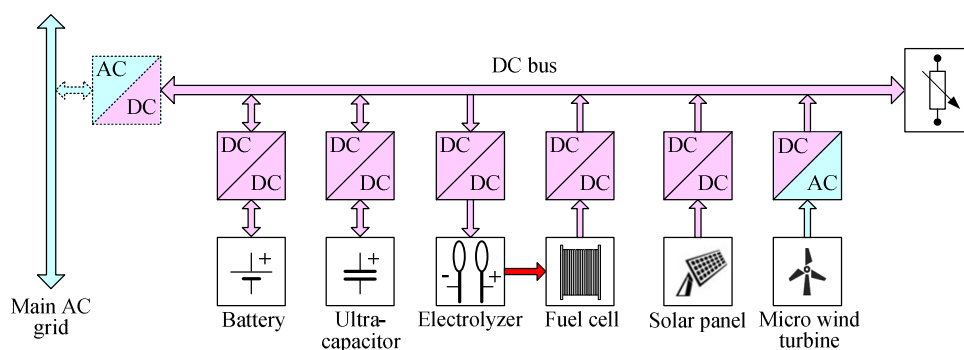
Sustavi za spremanje energije mogu biti individualni ili hibridni sustavi opremljeni sa odgovarajućim pretvaračima snage u svrhu maksimalnog iskorištavanja visoke gustoće energije u izvorima poput baterija i gorivih ćelija, sposobnih za rad u stacionarnom stanju,

odnosno pod konstantnim opterećenjem, ili svrhu iskorištavanja visoke gustoće snage u izvorima poput zamašnjaka i super-kondenzatora.

Glavni cilj ovog rada je projektiranje sustava upravljanja DC/AC pretvaračem u sklopu standardnih AC mikromreža, kako bi sustavi bili dobro dimenzionirani, radili kao samostalni hibridni sustavi ili u kombinaciji sa postojećom lokalnom distribucijskom mrežom električne energije.

Sa stajališta dizajna kontrolnog sustava i implementacije strategija kontrole mikromreže mora sadržavati slijedeće značajke:

- Dobra regulacija napona AC sabirnice je poželjna kako bi se smanjile promjene, za što je potrebno pravovremeno injektirati jalovu i radnu snagu u mrežu (radna snaga korigira frekvenciju mreže, a jalova snaga služi na korekciju napona) [Zhong-Hornik, 2013].
- Hijerarhijska regulacija sustava, čime se direktno može prevenirati preopterećenje spremnika energije kroz limitiranje potražnje struje nadređenog sustava.
- Reverzni pristup dizajnu sustava (engl. Bottom-up control system design approach), što znači da će se prvo regulirati AC struja pretvarača, te dinamika istoga bude uključena u daljnju regulaciju mikromreže, napona i frekvencije AC mikromreže.
- Jednostavni regulatori su poželjni za brži odziv regulacijskog kruga i podešavanje prigušenja.



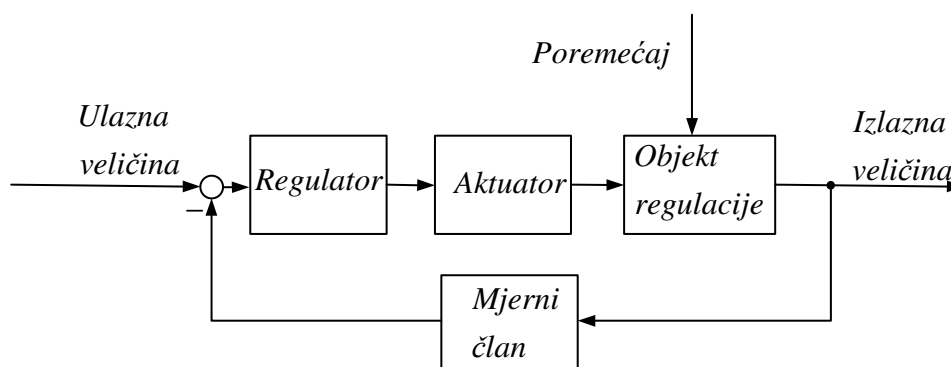
Slika 1. Topologija istosmjerne mikromreže sa više upravljivih izvora i sustava a pohranu energije i spojem izmjenjivača na AC mrežu

2.2. Uvod u sintezu regulacijskog kruga struje

U ovom će se radu opisati projektiranje proporcionalno-rezonancijskog (PR) regulatora za reguliranje dinamičkog sustava harmoničkih veličina. Navedeni regulator je jedno od jednostavnijih rješenja za regulaciju struje jednofazne izmjenične mikromreže. U prethodnom poglavlju spomenuta je potrebna za kaskadnom regulacijom kompletnog sustava. Prvi korak u generiranju napona izmjenične mikromreže je regulacija izlazne struje pretvarača koja mora biti robusna, sa točnim praćenjem reference u stacionarnom stanju, u svrhu postizanja zadanog faznog pomaka između napona sinusnog mreže i sinusne struje izmjenjivača, a koji definira odnos radne i jalove snage koja se injektira u AC mrežu.

2.3. Sinteza regulacijskog kruga

Po definiciji regulator mora održati traženo stanje nekog procesa, bez obzira na djelovanje vanjskih ili unutarnjih poremećaja. Pritom se koristi princip negativne povratne veze kojim se generira upravljački signal za pogonjenje izvršnih članova (aktuatora) koji djeluju na objekt upravljanja.



Slika 2. Pojednostavljeni prikaz regulacijskog kruga

2.3.1. Sinteza regulacijski krugova prema optimumu dvostrukog odnosa

Sinteza regulatora provodi se u vremenski kontinuiranom s-području, uz uzimanje u obzir dinamike elemenata za formiranje (ZOH zero order hold) vremenski kontinuiranog izvršnog signala na izlazu regulatora, nužnog zbog vremenski diskretne digitalne izvedbe regulatora (kvazi kontinuirani postupak sinteze regulatora). Za potrebe regulacije struje za napajanje jednofazne izmjenične mikromreže koristit će se PR regulator.

Sinteza regulatora provodi se prema optimumu dvostrukog odnosa. Koeficijenti polinoma zatvorenog regulacijskog kruga sustava izjednačavaju se koeficijentima karakterističnog polinoma optimuma dvostrukog odnosa:

$$G_{odo} = \frac{1}{A(s)} = \frac{1}{1 + T_e s + D_2 T_e^2 s^2 + \dots + D_{n-1} D_{n-2}^2 \dots D_2^{n-2} T_e^{n-1} s^{n-1} + D_n D_{n-1}^2 \dots D_2^{n-1} T_e^n s^n} \quad (1)$$

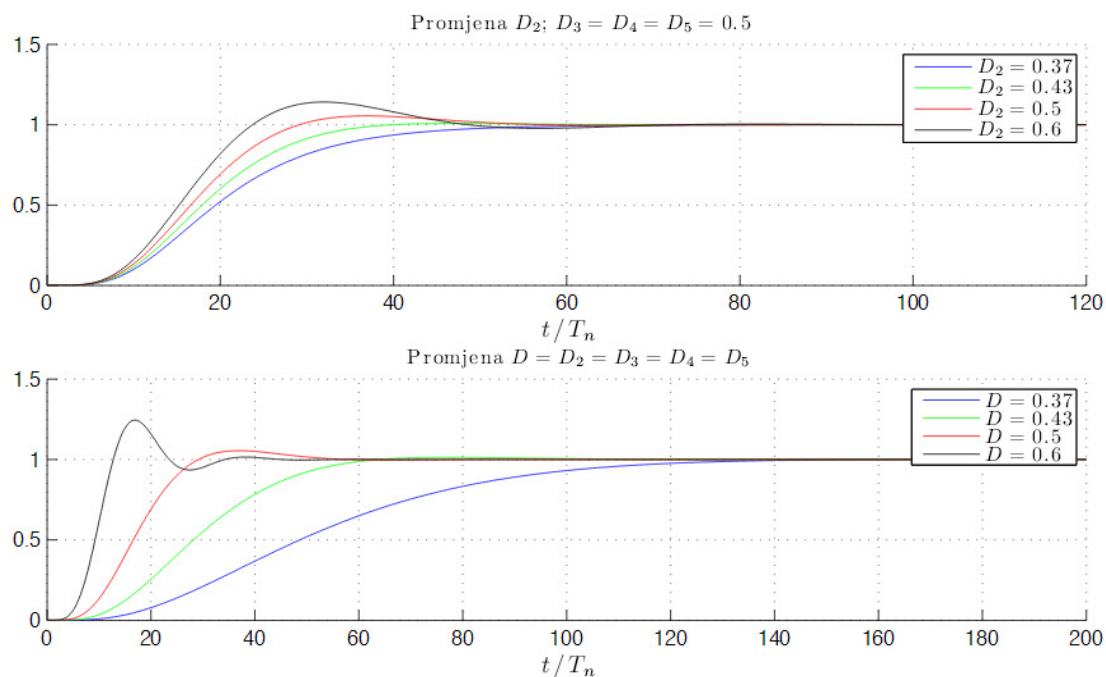
gdje su:

- D_i – karakteristični odnosi ($i=2,3\dots n$)
- T_e – ekvivalentna vremenska konstanta
- n – red prijenosne funkcije zatvorenog sustava

Izjednačavanjem koeficijenata uz odgovarajuće potencije kompleksne Laplaceove varijable s dobiju se početni izrazi iz kojih se izvode konačni izrazi za parametre regulatora. Dobiveni parametri predstavljaju krajnji rezultat postupka sinteze regulatora.

Odabirom vrijednosti karakterističnih odnosa $D_2=D_3=\dots=D_n=0.5$ zatvorena petlja regulacijskog kruga reda n ima kvazi-aperiodski odziv na Step funkciju ulaza, sa prebačajem od približno 6% (slično kao odziv dugog reda sa prigušenjem od $\zeta=0.707$) i vremenom smirivanja oko 1,8-2.1 T_e . Ovakav način podešavanja zatvorene petlje regulacijskog kruga može se smatrati optimalnim uvjetima gdje se traži relativno malen prebačaj i dobro prigušenje sustava. Odabirom veće vrijednosti nadomjesne vremenske konstante kruga T_e , robusnost regulacijskog sustava se poboljšava, a osjetljivost na različite faktore se smanjuje, kao npr. šum. To rezultira sporijim odzivom i manjim potiskivanjem vanjskih poremećaja. Za regulator nižeg reda (reda r) od reda sustava (n) odabiru se samo dominantni karakteristični odnosi (D_2, \dots, D_{r+1}). U ovome slučaju nedominantni karakteristični odnosi se ne mogu slobodno odabrati, već je potrebno posebno analizirati utjecaj na prigušenje zatvorene regulacijske petlje za svaki član uz potenciju Laplaceove varijable s (od $r+2$ do n), kao što je ilustrirano u [1]. U općem slučaju, prigušenje regulacijskog sustava odabire se variranjem vrijednosti karakterističnih odnosa, a pri tome najveći utjecaj na prigušenje sustava ima karakteristični odnos D_2 . Odabirom $D_2 \approx 0.35$ postiže se granični aperijski odziv na step ulaz, što je najbrži odziv bez prebačaja. Ukoliko se vrijednost karakterističnog odnosa D_2 na vrijednost veću od 0.5, prigušenje zatvorenog regulacijskog kruga opada.

Na slici 3 (uzeto iz [2]) se može vidjeti podešavanje prigušenja prema različitim karakterističnim odnosima:

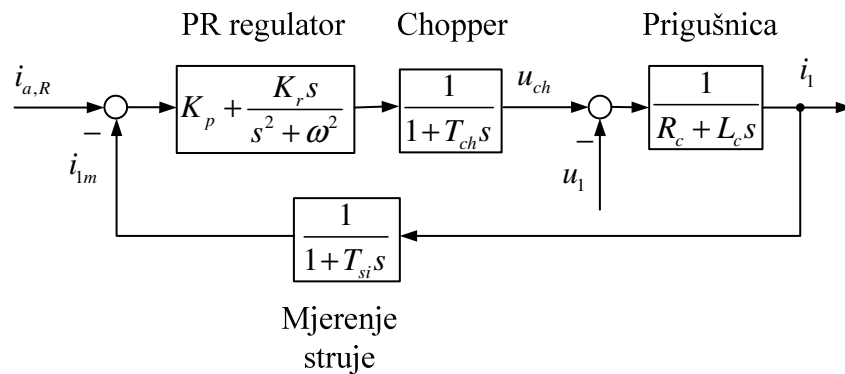


Slika 3. Podešavanje prigušenja

2.3.2. Sinteza PR regulatora struje za napajanje jednofazne izmjenične mikromreže

Jedno od mogućih rješenja problema sa statičkom točnošću pri regulaciji struje je korištenje proporcionalno-rezonantnog regulatora struje za napajanje jednofazne izmjenične mikromreže. Prednost PR regulatora je teoretski beskonačno pojačanje na željenoj frekvenciji, dok su ostale frekvencije (ispod i iznad rezonancijske frekvencije) prigušene (-20db/dekadi). Kod regulacije harmoničkog signala ova mogućnost je poželjna zbog konstante i poznate frekvencije mreže ($f_g=50$ Hz).

Slika 4 pokazuje model sustava prema kojem se vrši sinteza regulatora.



Slika 4. Blok dijagram regulacijskog kruga struje

gdje su:

i_{1ref} – referentna vrijednost struje

i_{1m} – mjerena vrijednost struje

u_{ch} – napon choppera

u_1 – ulazni napon mreže

i_1 – izlaz struje

Kako bi se smanjio opseg proračuna, uvode se pojednostavljenja.

Prijenosna funkcija PR regulatora:

$$G_{pr}(s) = \frac{K_p(s^2 + \omega_0) + K_r s}{s^2 + \omega_0^2} \quad (2)$$

Uvodi se konstanta i vremenski član prigušnice:

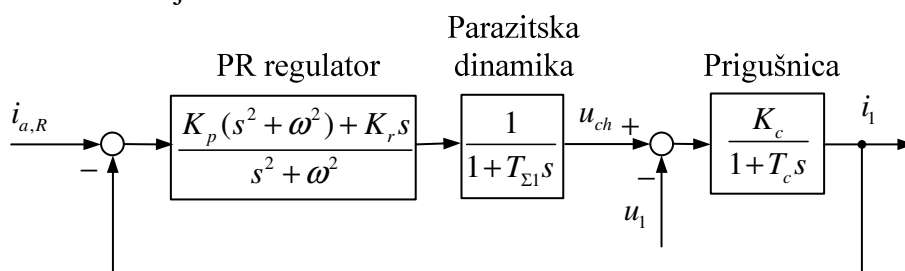
$$K_c = \frac{1}{R_c}, \quad T_c = \frac{L_c}{R_c} \quad (3)$$

gdje je:

R_c – otpor prigušnice (Ω)

L_c – induktivitet prigušnice (H)

Nakon čega dobivamo sljedeći sustav:



Slika 5. Pojednostavljeni sustav regulacije struje

Nadalje, vremenska konstanta prigušnice T_c je znatno veća od vremenske konstante parazitske dinamike $T_{\Sigma 1}$, pa se sustav može dalje pojednostaviti sa:

$$T_{\Sigma} = T_{\Sigma 1} + T_c \quad (4)$$

nakon čega slijedi prijenosna funkcija sustava u obliku:

$$G(s) = \frac{K_p K_c s^2 + K_r K_c s + K_p K_c \omega^2}{\frac{T_{\Sigma}}{\omega^2 (K_p K_c + 1)} s^3 + \frac{1}{\omega^2} s^2 + \frac{K_r K_c + T_{\Sigma} \omega^2}{\omega^2 (K_p K_c + 1)} s + 1}, \quad (5)$$

iz čega slijedi karakteristična jednadžba sustava trećeg reda:

$$A(s) = \frac{T_{\Sigma}}{\omega^2 (K_p K_c + 1)} s^3 + \frac{1}{\omega^2} s^2 + \frac{K_r K_c + T_{\Sigma} \omega^2}{\omega^2 (K_p K_c + 1)} s + 1 \quad (6)$$

tako dobivena jednadžba se izjednačava sa karakterističnom jednadžbom optimuma dvostrukog odnosa trećeg reda koja glasi:

$$D(s) = D_3 D_2^2 T_e^3 s^3 + D_2 T_e^2 s^2 + T_e s + 1, \quad (7)$$

iz čega slijedi nadomjesna vremenska konstanta ukupnog kruga;

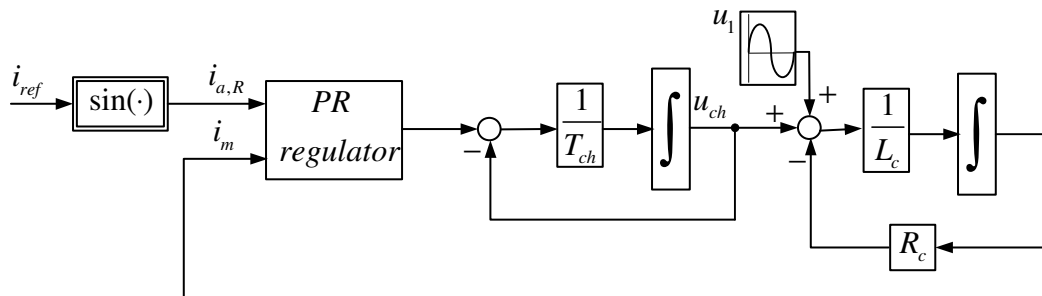
$$T_e = \frac{1}{\sqrt{D_2} \omega} \quad (8)$$

te na parametri regulatora K_p i K_r :

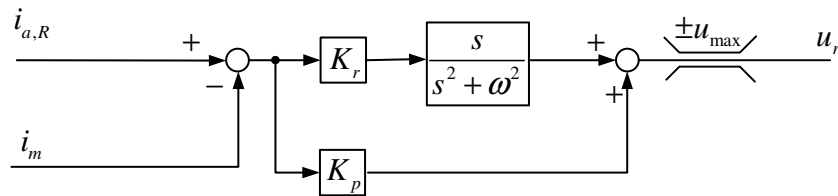
$$K_p = \frac{1}{K_c} \left(\frac{T_{\Sigma}}{\omega_2 D_3 D_2^2 T_e^3} - 1 \right), \quad K_r = \frac{T_{\Sigma}}{K_c} \left(\frac{1}{D_3 D_2^2 T_e^2} - \omega^2 \right) \quad (9)$$

2.3.3. Simulacija regulacijskog kruga struje – vremenski-kontinuirani regulator

Za prvu simulaciju uzima se idealizirani sustav regulacije struje mikromreže PR regulatorom:

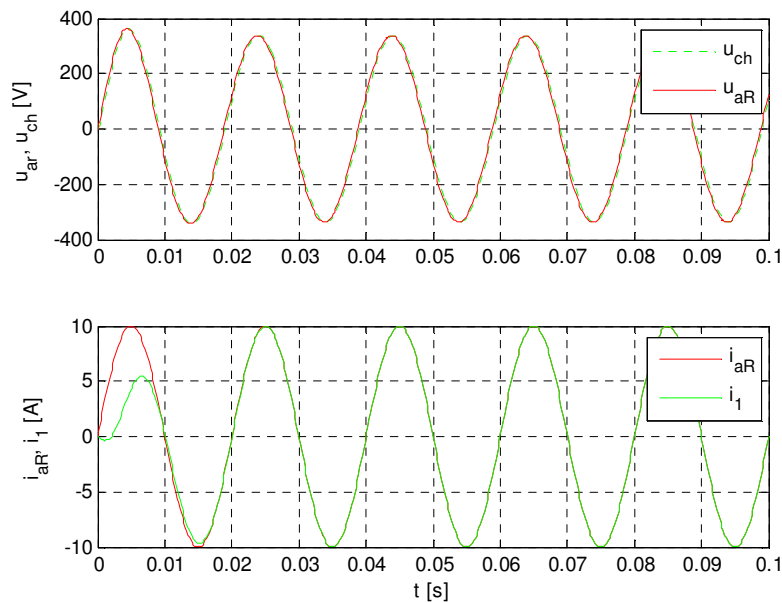


Slika 6. Simulacija idealizirani model pretvarača



Slika 7. Simulacijski blok PR regulatora

Na slici 8 se mogu vidjeti rezultati dobiveni simulacijom.

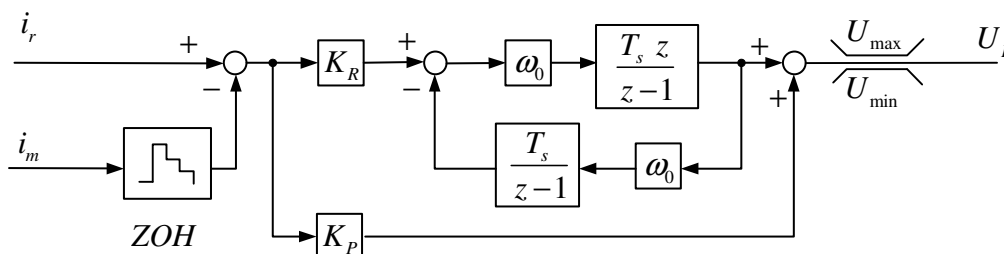


Slika 8. Rezultati simulacije - idealizirani model

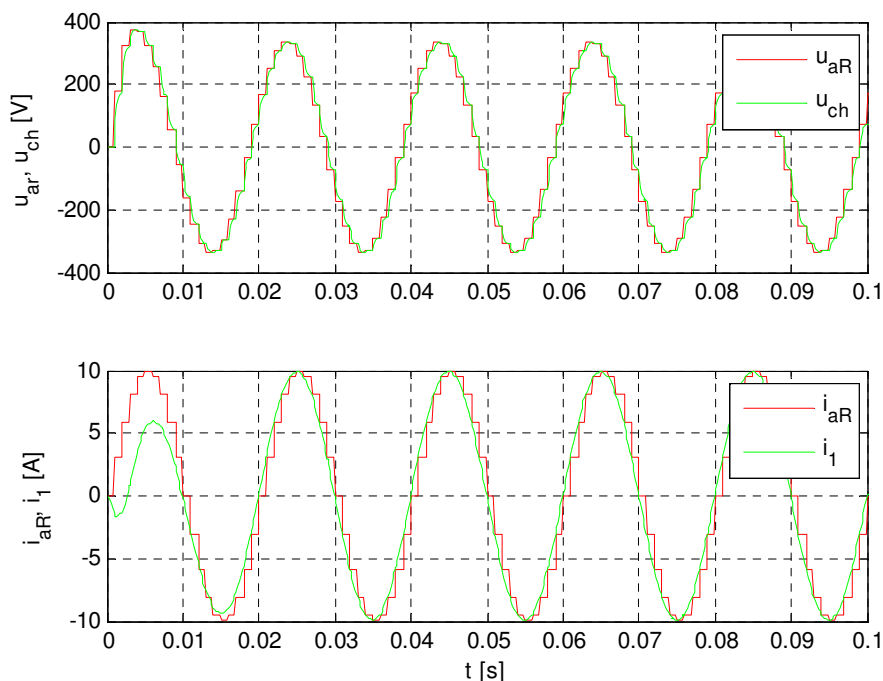
U ovom slučaju regulacija struje je podređen sustav, pa je poželjan brz odziv i statička točnost. Slika 8 prikazuje odziv regulacijskog kruga struje opremljenog PR regulatorom. Iz priloženog se vidi vrijeme smirivanja od 0.01s, te da je vidljiva dinamička pogreška slijeđenja reference tijekom prve dvije poluperiode harmoničkog signala. U stacionarnom stanju dinamička pogreška je zanemariva.

2.3.4. Simulacija regulacijskog kruga struje – vremenski-diskretni regulator

Kako bi se PR regulator mogao implementirati u digitalne sustave, potrebno je naći odgovarajuću metodu diskretizacije. Kako je prikazano u [3] model PR se može pojednostaviti za ekvivalentnim oblikom sa dva integratora, te se dobiva sljedeći model PR regulatora za digitalne sustave:



Slika 9. Simulacijski blok PR regulatora - vremenski-diskretni slučaj

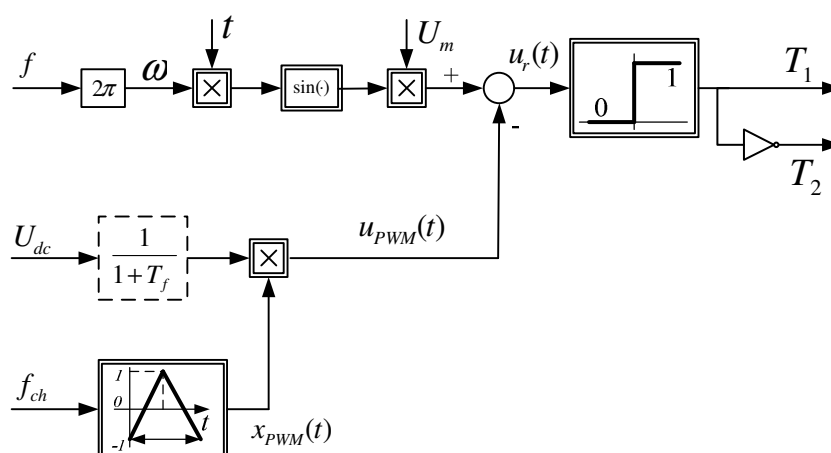


Slika 10. Rezultati simulacije – vremenski-diskretni model

Slika 10 prikazuje odziv regulacijskog kruga struje opremljenog vremenski-diskretnim PR regulatorom. Iz priloženog se vidi vrijeme smirivanja isto kao i kod kontinuiranog PR regulatora te iznosi 0.01s, te da je vidljiva dinamička pogreška slijeđenja reference samo tijekom prve poluperiode harmoničkog signala. U stacionarnom stanju dinamička pogreška je zanemarivog iznosa u trenucima uzorkovanja.

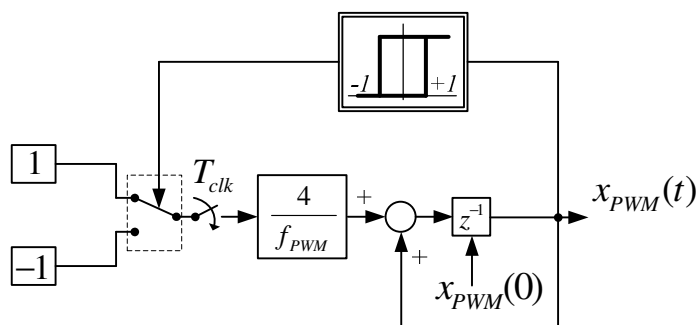
2.3.5. Sklopni model pretvarača temeljen na pulsno-širinskoj modulaciji (PWM) signala

Zbog realizacije realnijeg sustava upravljanja izlaznim naponom jednofaznog frekvencijskog pretvarača potrebno je projektirati generator pulsno-širinski-moduliranog (engl. Pulse-Width-Modulated, PWM) valnog oblika napona u_{ch} , a čija je namjena emulacija harmoničkog (sinusoidalnog) valnog oblika izlaznog napona DC/AC pretvarača. U ovome poglavlju se analizira PWM generator kroz izvođenje složenijeg matematičkog modela, a koji uključuje pojedine podsustave nužne za rad četverokvadrantnog H-mosta kao jednofaznog izmjenjivača (invertera). Pritom je ključan podsustav takvog DC-AC jednofaznog frekvencijskog pretvarača odnosno choppera, generatora referentnog sinusoidalnog signala $U_{R(t)} = U_m \sin(\omega t)$ koji se uspoređuje sa signalom nosiocom PWM-a (pilasti napon) u svrhu upravljanja izlaznim naponom pretvarača. Točke presjeka sinusne reference i PWM signala nosioca određuju trenutke okidanja pojedinih parova IGBT poluvodičkih "sklopki" u četverokvadratnom H-mostu (inverteru). Slika 11 prikazuje načelo rada navedenoga sklopa. Preko željene frekvencije f i amplitude napona U_m definira se referentni signal $u_{R(t)}$.



Slika 11. Upravljanje frekvencijskim pretvaračem

Slika 12 predstavlja načelo generiranja trokutastog signala. Ulazi -1 i 1 se preko releja uključuju i isključuju ovisno o tome je li izlaz integratora postigao graničnu vrijednost (+1 ili -1), te se na taj način invertira predznak ulaznog signala u integrator, čime se konačno generira željeni trokutasti signal frekvencije $f = 1/f_{PWM}$.



Slika 12. Implementacija PWM trokutastog signala

Slika 12 prikazuje izvedbu generatora sinusne reference gdje se osnovni harmonik generira harmoničkim oscilatorom implementiranim u cjelobrojnoj aritmetici unutar FPGA funkcijskog modula (npr. upravljački modul FM352-5) kao dijela kontrolerskog sustava zasnovanog na SIEMENS programibilnom logičkom kontroleru (PLC-u) čija je jezgra CPU-314C s realnom 32-bitovnom (32-bit floating-point) aritmetikom [31]. Harmonički generator sinusne reference zapravo predstavlja vremenski diskretni dinamički član 2. reda na granici stabilnosti (harmonički oscilator), koji je podešen na željenu frekvenciju preko prirodne frekvencije ω i vremena uzorkovanja T_{CLK} , uz popratno definiranje početnih uvjeta na samim integratorima. Naime, bilo koji sustav sa dva integratora u zatvorenoj petlji negativne povratne veze je inherentno na rubu stabilnosti zbog polova koji se nalaze na jediničnoj kružnici u z -ravnini ($|z_1|, |z_2| = 1$).

Tako generirani referentni signal uspoređuje se sa generiranim trokutasim signalom (Slika 13).

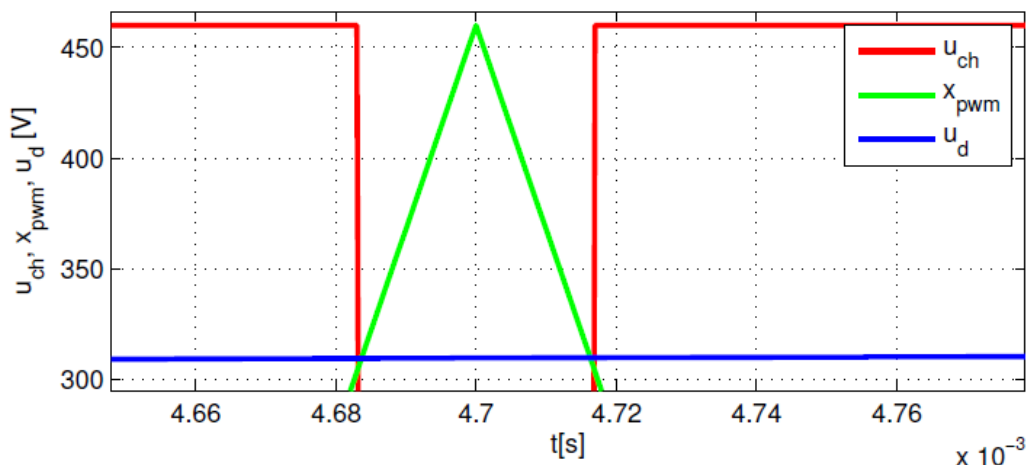
Logika generiranja PWM upravljačkog signala U_{CH} temelji se na razlici napona $u_{R(t)}$ i u_{PWM} .

Ukoliko je razlika pozitivna tada je kombinacija stanja na tranzistorima u H-mostu (Slika 10):

$T_1 = 1; T_2 = 0 \Rightarrow u_{ch} = +U_{dc}$, u suprotnome slučaju kombinacija stanja je: $T_1 = 0; T_2 = 1 \Rightarrow$

$u_{ch} = -U_{dc}$.

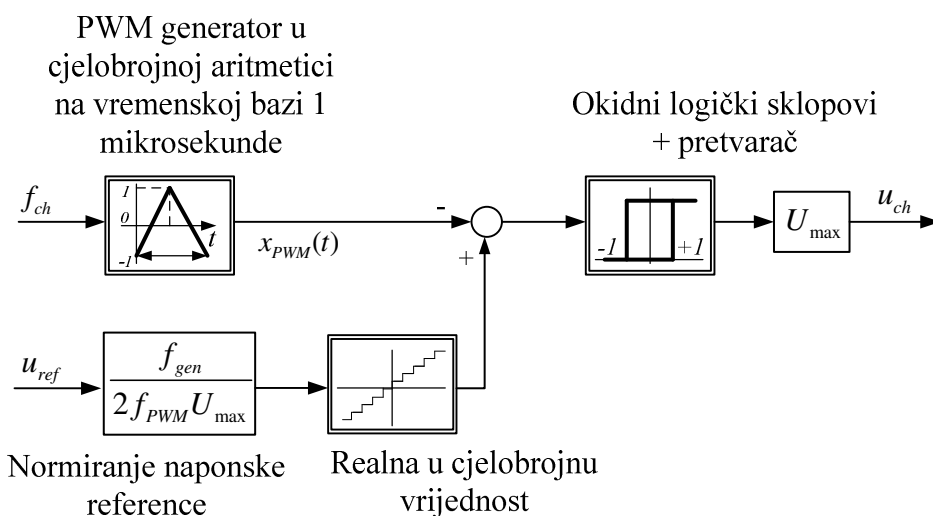
Na slici 13 je ilustriran detalj generiranja napona choppera. U tom slučaju, na uzlaznom bridu pilastog napona u presjeku sa referentnim sinusnim signalom slijedi $u_{ch} = -U_{dc}$, dok je na silaznom bridu $u_{ch} = +U_{dc}$.



Slika 13. Detalj generiranja PWM signala za sinusnu referencu

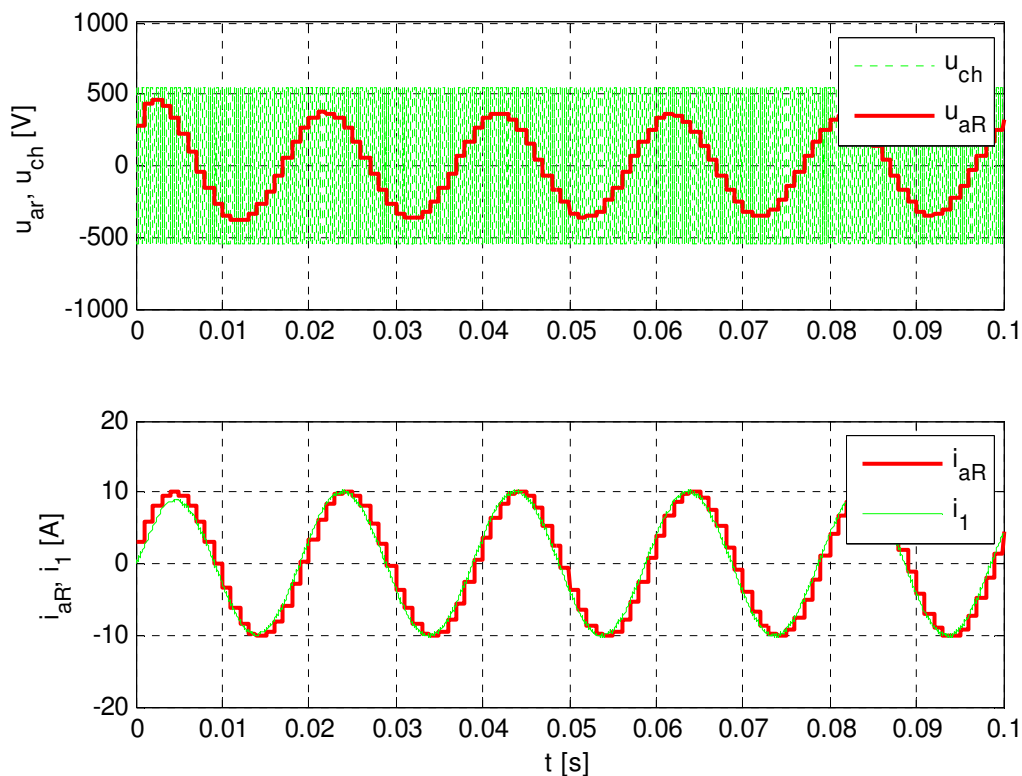
2.3.6. Simulacija regulacijskog kruga struje sa implementiranim sklopnim modelom pretvarača temeljenog na pulsno-širinskoj modulaciji signala

Simulacijski model sklopnog modela pretvarača temeljena na pulsno-širinskoj modulaciji prikazan je na slici 14, a rezultati simulacije na računalu prikazani su na slici 15.



Slika 14. Model pretvarača u cjelobrojnoj logici unutar FPGA funkcijskog modula FM-352-5

Dobiveni rezultati simulacije:



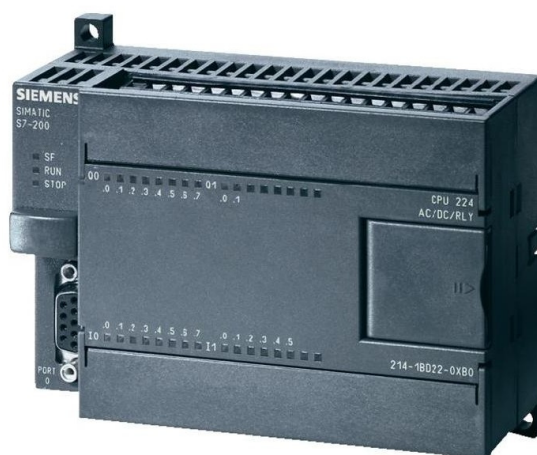
Slika 15. Rezultati simulacije regulatora struje za realistični PWM model pretvarača

Slika prikazuje odziv regulacijskog kruga struje opremljenog diskretiziranim PR regulatorom, realističnim sklopnim modelom pretvarača temeljenog na pulsno-širinskoj modulaciji. Iz priloženog se vidi vrijeme smirivanja isto kao i kod kontinuiranog PR regulatora te iznosi 0.01s, te da je vidljiva dinamička pogreška slijeđenja reference samo tijekom prve poluperiode harmoničkog signala. U stacionarnom stanju dinamička pogreška je također zanemariva u trenucima uzorkovanja vremenski-diskretne reference struje.

3. Programabilni logički kontroler PLC

3.1. Uvod

Programabilni logički kontroler (eng. PLC, programmable logic controller) je naziv komercijalno i industrijski primijenjenog računala. Razlika između uredskog računala i PLC-a je u zadaćama koje ispunjavaju i Softveru koji koriste. Primjena PLC-a je široka, ali jezgra procesa je promatranje ulaznih varijabli, te na temelju programa spremljenog memoriju donijeti odluku o vrijednosti izlaza iz PLC-a, kako bi se automatizirao proces. Daljnjim tekstom će se opis PLC temeljiti na seriji S7-200, zbog jednostavnosti izvedbe i dostupnosti hardvera na fakultetu.

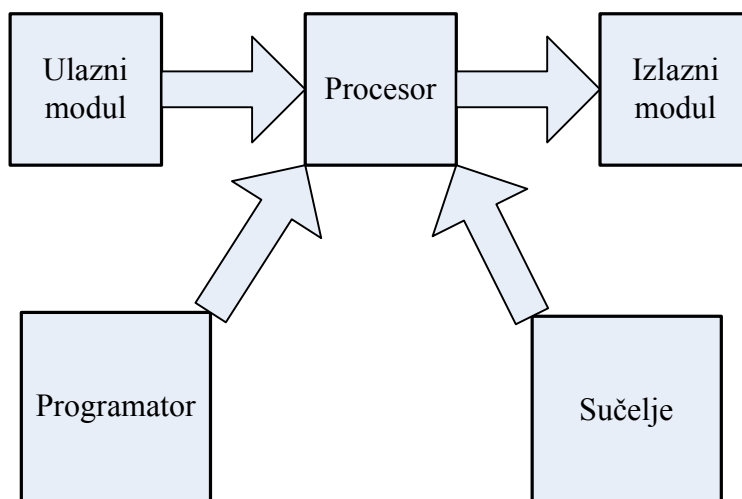


Slika 16. S7-200 PLC

3.2. Osnovna operacija PLC-a

Osnovni elementi PLC-a uključuju ulazne module ili ulazne točke, centralnu procesnu jedinicu ili procesor (eng. CPU - central processing unit), izlazne module ili izlazne točke, te programator (sklop za prijenos podataka iz softvera u uredskom računalu u PLC). Vrsta ulaznog modula ovisi o vrsti signala koje trebamo na ulazu. Signali mogu biti logički (uključeno ili isključeno) ili analogni. Analogni signali predstavljaju stanja u sustavu interpretirana sa različitim vrijednostima struja i napona. Primarna funkcija PLC je pretvoriti signale različitih senzora i sklopki u logičke signale koje procesor može iskoristi za proračun.

Procesor preuzima stanja izlaza i ulaza, preuzima stanja varijabli u memoriji, te izvršava spremljeni program. Izvršenjem programa procesor mijenja vrijednosti izlaza.

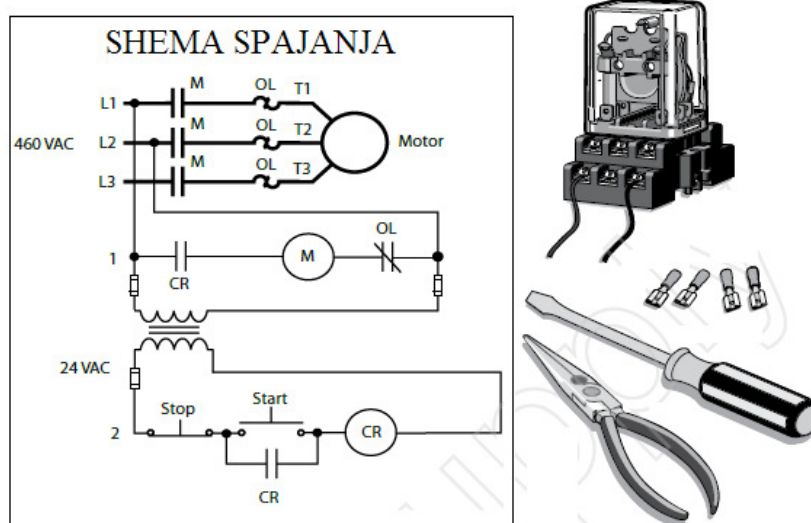


Slika 17. Rad PLC-a

Osim osnovnih elementa PLC-sustava, mogu se dodati i dodatni moduli sa sučeljem zbog boljeg nadzora procesa.

3.3. Hard-Wired Control

Prije pojave PLC-a, logičke zadaće rješavale su se relejima, kontaktima, elektromehaničkim uređajima. U engleskom jeziku se to naziva "hard-wired control", što u slobodnom prijevodu znači upravljačka logika zasnovana na ožičenim vezama. Takvi sustavi zahtijevaju izradu sheme elektroničkih krugova u kojoj je detaljno opisana svaka elektronička komponenta. Za svaku upravljačku/regulacijsku jedinicu potrebno je izraditi odgovarajuće upute za spajanje. Zadaća tehničara je spajanje instalacije prema tipu zadaće koju stroj, odnosno sustav mora odraditi. Ukoliko se potkrade pogreška, kvar je potrebno detektirati te ispraviti. Promjena funkcije sustava ili proširenje zahtjeva promjenu komponenata i ožičenja.



Slika 18. Ilustracija upravljačke logike zasnovane na ožičenim vezama

3.4. Prednosti PLC-a prema Hard wired control načinu upravljanja

PLC omogućuje hard-wired upravljanje, ali osim toga i obavljanje znatno kompliciranijih zadataka. Ožičenje je moguće premještati internom komunikacijom (biranjem ulaza ili izlaza na ulazno izlaznom modulu) čime se izbjegava fizičko premještanje vodiča, te znatno smanjuju moguće greške u sustavu. Fizičko spajanje je još uvijek potrebno za spajanje modula i stroja na terenu, ali šanse za pogrešku su znatno manje.

Dodatne prednosti PLC-a:

- Fizički manja veličina od hard-wired rješenja
- lakša i brža izmjena problematičnih programa
- PLC posjeduje ugrađenu dijagnostiku i funkcije za softversko premoštavanje vodiča
- Kvar se može detektirati na veće udaljenosti
- Sustav se mogu trenutno dokumentirati
- Sustav se može brže i jeftinije umnožavati

3.5. Siemens modularni PLC uređaji

Siemens Simatic PLC se baziraju na konceptu potpune integracije automatizacije (eng. TIA- Totally Integrated Automation). Potrebe krajnjih korisnika i proizvođača strojeva znatno variraju. Simatic PLC-i su dostupni kao konvencionalni modularni kontroleri, ugrađena rješenja za automatizaciju procesa, ili PC bazirani kontroleri (plug-in kartice).

Modularni Simatic kontroleri su optimizirani za upravljačke ili regulacijske sustave pomoću ulazno izlaznih modula sa jednostavnom ugradnjom, specijalnim funkcijama i komunikacijom.

Primjeri modularnih kontrolera su: LOGO!, S7-200, S7-1200, S7-300, S7-400.



Slika 19. PLC LOGO!, S7-200, S7-300

3.6. Simatic softver

Simatic softver je univerzalno okruženje za programiranje i konfiguraciju za Simatic kontrolera, sustava za interakciju između čovjeka i stroja, te sustava za nadzor procesa. SIMATIC softver sa STEP7, te dodatnim inženjerskim alatima omogućuje hardversku konfiguraciju sustava, parametrizaciju modula za opremanje sustava. Alati podržavaju više načina programiranja. to uključuje osnovne programske jezike (STL, Ladder Diagram i Function Block Diagram), programske jezike više razine (Structured text i Sequential Function Chart), te inženjerske alate (S7 Structured Control Language, S7-Graph, S7-PLCSIM, S7-HiGraph i Continuous Function Chart).

3.7. Brojevni sustavi

PLC je računalo, što podrazumijeva da sprema informacije u binarnom obliku.

3.7.1. BCD brojevni sustav

Dok PLC koristi binarni sustav, ljudima više odgovara prikaz brojeva u decimalnom obliku. Kako bi vrijednosti izlaza bile razumljivije ljudima, neki od ulazno/izlaznih uređaja daju decimalni prikaz broja, gdje svaka decimalna znamenka odgovara binarnom broju. Najčešće korišten sustav za ulazno izlazne veličine je BCD-sustav (eng. BCD-binary-coded decimal)

3.7.2. Heksadecimalni sustav

Heksadecimalni sustav je još jedan od sustava koji se koriste u PLC-u. Prvih deset znamenaka decimalnog sustava su korištene kao prvih deset znamenaka heksadecimalnog sustava, dok je prvih šest znamenaka engleske abecede iskorišteno za ostalih šest znamenaka.

Heksadecimalni sustav se koristi u PLC-u jer omogućava prikaz većih binarnih brojeva na manjem sučelju ili računalu.

Decimal	Binary	BCD	Decimal	Binary	BCD
0	0000	0000 0000	10	01010	0001 0000
1	0001	0000 0001	11	01011	0001 0001
2	00010	0000 0010	12	01100	0001 0010
3	00011	0000 0011	13	01101	0001 0011
4	00100	0000 0100	14	01110	0001 0100
5	00101	0000 0101	15	01111	0001 0101
6	00110	0000 0110	16	10000	0001 0110
7	00111	0000 0111	17	10001	0001 0111
8	01000	0000 1000	18	10010	0001 1000
9	01001	0000 1001	19	10011	0001 1001

Slika 20. BCD u decimalni sustav

3.8. Terminologija PLC sustava

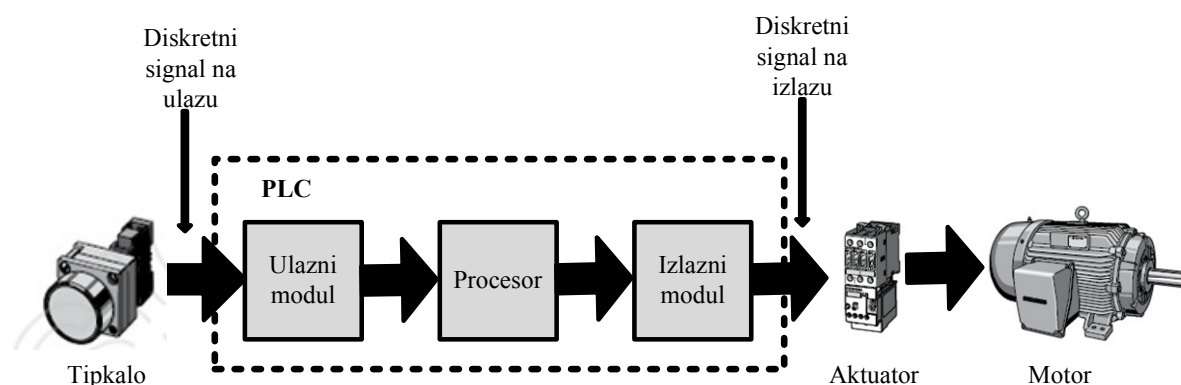
Razvoj i razumijevanje PLC-a zahtjeva poznavanje osnovne terminologije. U nastavku ćemo navesti osnovnu terminologiju vezanu za PLC.

3.8.1. Senzori

Senzori su uređaji koji pretvaraju fizičko stanje sustava (temperatura, napon, sila...) u električni signal za upotrebu na kontroleru, npr. PLC-u. Sklopka je primjer senzora spojenoga na ulaz PLC-a. Električni signal koji prolazi kroz sklopku daje vrijednost visoko ili nisku u ovisnosti da li je sklopka uključena ili isključena.

3.8.2. Aktuator

Aktuatori su uređaji koji pretvaraju električni signal iz kontrolera u fizikalno stanje. Aktuatori su spojeni na izlaze PLC-a. Pokretač elektromotora je tipični aktuator spojen na izlaz PLC-a. Ovisno o statusu izlaza na PLC-u, aktuator propušta električnu energiju prema motoru ili blokira.



Slika 21. Spajanje aktuatora na PLC

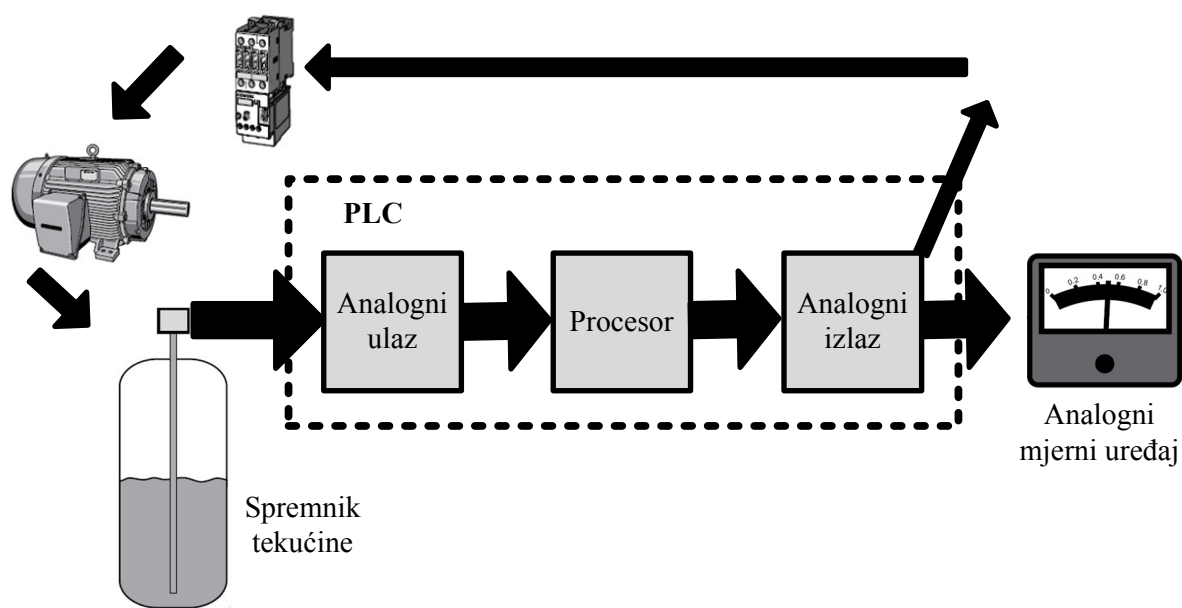
3.8.3. Logički ulazi i izlazi

Logički ulazi i izlazi se također nazivaju i digitalni ulazi i izlazi, što znači da mogu biti ili uključeni ili isključeni. Tipkala, graničnici, blizinski prekidači, kontakti releja su primjeri elemenata često spojenih na digitalne ulaze. Releji, sijalice (za upozorenja ili dijagnostiku) su primjeri elemenata spojenih na izlaze uređaja.

Prilikom statusa uključeno, diskretni ulaz ili izlaz je unutar PLC predstavljen kao logička 1. U statusu isključeno diskretni ulaz ili izlaz je predstavljen logička 0.

3.8.4. Analogni ulazi i izlazi

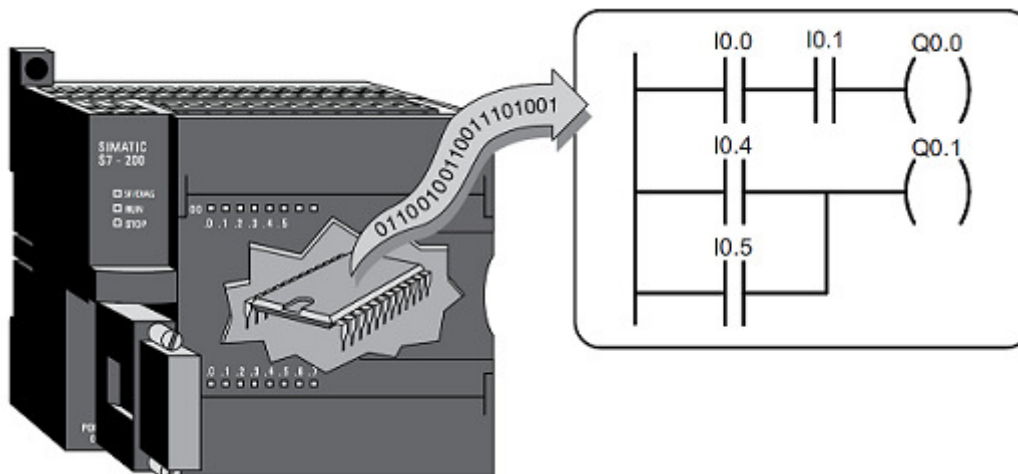
Analogni ulazi i izlazi su kontinuirani, varijabilni signali. Tipične vrijednosti analognih signala variraju od 0 do 20 mA (miliampera), 4 do 20 mA ili 0 do 10V (volti). U dolje navedenom primjeru, senzor mjeri razinu tekućine u spremniku te šalje analogni signal na ulaz PLC-a. Analogni izlaz na PLC-u šalje analogni signal na indikator razine tekućine u spremniku, dok su druga dva analoga izlaza spojena na elektro ili elektropneumatske aktuatore čija je zadaća regulacija protoka tekućine u spremnik. To omogućuje PLC-u automatsku regulaciju protoka tekućine u spremnik.



Slika 22. Primjer kruga sa analognim ulazima i izlazima

3.8.5. Procesor

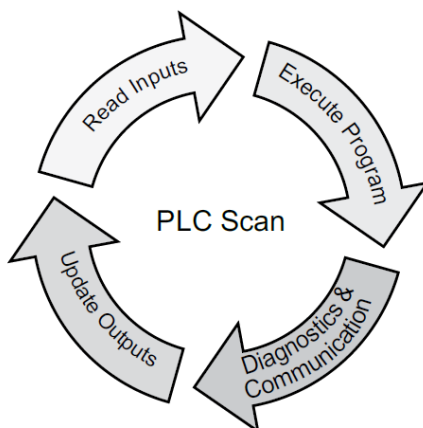
Centralna procesna jedinica (eng. CPU - central processor unit) je mikroprocesorski sistem koji sadrži sistemsku memoriju, te je dio PLC-a koji donosi odluke. Procesor nadzire ulaze, izlaze i ostale varijable, te donosi odluku baziranu na instrukcijama u programskoj memoriji.



Slika 23. Ilustracija lokacije i rada procesora

3.8.6. PLC Scan

PLC program je izveden kao ponavljajući proces nazvan kao PLC scan. PLC scan počinje sa čitanjem statusa ulaza (Read Inputs). Slijedi odvijanje programa PLC-a (Execute Program). Tada, procesor obavi internu dijagnostiku i zadaće komunikacije (Diagnostics & Communication). Konačno, procesor stavi nove vrijednosti na izlaze (Update Outputs). Taj proces se ponavlja dok je procesor u aktivnom modu (RUN). Vrijeme potrebno za izvedbu ovisi o veličini programa, broju ulaza i izlaza, te potrebne aktivnosti komunikacije.



Slika 24. PLC Scan

3.8.7. Memorije

3.8.7.1. Random Access Memory (RAM)

Random Access Memory (RAM) je vrsta memorije koja dozvoljava brisanje/pisanje memorije na bilo koju adresu (lokaciju). RAM se koristi za privremeno spremanje podataka. Ukoliko dođe do nestanka napajanja memorija se briše, pa je za čuvanje podataka potrebno imati dodatnu bateriju.

3.8.7.2. Read Only Memory (ROM)

Read Only Memory (ROM) je vrsta memorije korištena na mjestima gdje je potrebno zaštititi podatke od slučajnog brisanja. Originalni podaci spremljeni u ROM-u se mogu čitati, ali se ne mogu mijenjati. ROM memorija neće izgubiti podatke ukoliko se napajanje prekine. Normalno se koristi za spremanje programa koji definiraju mogućnosti PLC-a.

3.8.7.3. Erasable Programmable Read Only Memory (EPROM)

Erasable Programmable Read Only Memory (EPROM) je vrsta memorija dizajnirana tako da podaci spremljeni u memoriju budu lako čitljivi, ali teško mijenjani. UVEPROM (eng. ultraviolet erasable programmable read only memory) se može brisati isključivo UV svjetlom. EEPROM (eng. electronically erasable programmable memory) se može brisati isključivo elektronički.

3.8.8. Softver

Softver (eng. Software) je ime dano računalnim naredbama, bez obzira u kojem programskom jeziku su napisane. Softver obuhvaća sve programe i naredbe koje upravljaju hardverom.

3.8.9. Hardver

Hardver (eng. Hardware) je ima dano svim fizičkim komponentama sustava. PLC, programator, kabel za povezivanje s računalom, te samo računalo su primjeri hardvera.

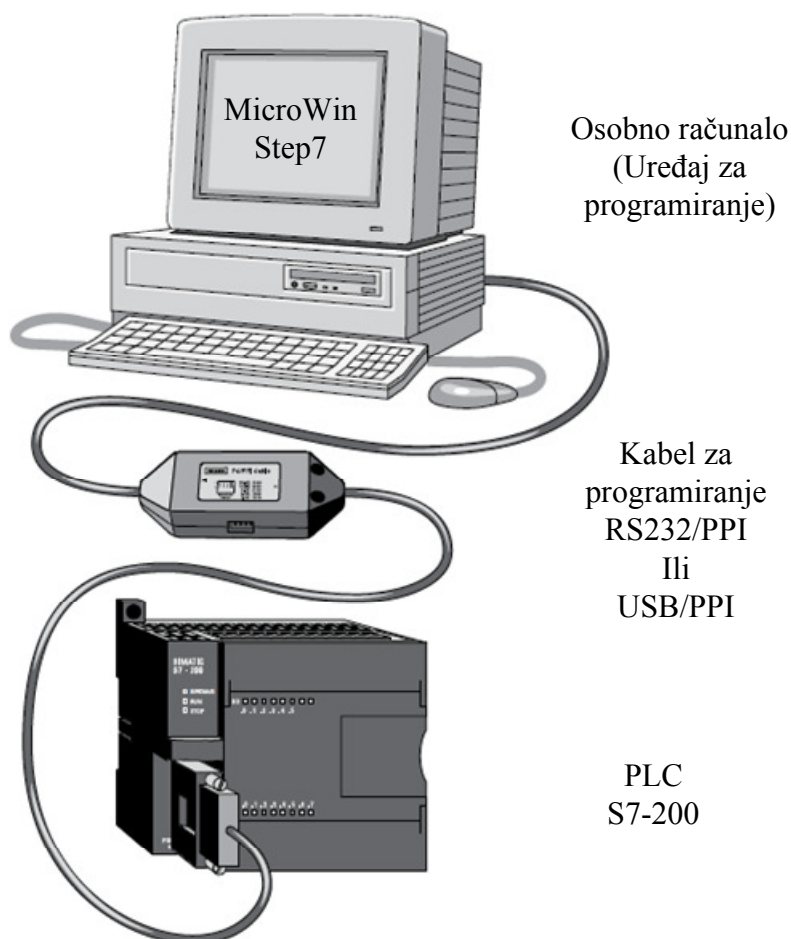
3.9. Spajanje PLC-a

Korisnička memorija PLC-a, kao npr. S7-200, uključuje prostor za korisnički program i adresne lokacije u memoriji za spremanje podataka. Količina prostora za program i podatke ovisi o modelu procesora.

Prostor korisničkog programa sadrži naredbe koje se ponavljaju kroz svaki PLC scan. Korisnički program je razvijen koristeći uređaj za programiranje, npr. osobno računalo sa odgovarajućim softverom.

Za izradu programa za prijenos na PLC najčešće se koristi osobno računalo, a moguće je programiranje za samom PLC-u (npr. LOGO! modeli sa zaslonom). Program se izrađuje pomoću STEP7-Micro/WIN softvera za programiranje.

Da bi se PLC spojio na računalo, potreban je originalan kabel. Dvije verzije kabela su dostupne. Jedna verzija je RS-232/PPI Multi-Master kabel. Kabel spaja osobno računalo preko RS-232 sučelja na konektor RS-485 na PLC-u. Druga verzija je USB/PPI Multi-Master kabel koji spaja osobno računalo preko usb sučelja na PLC konektor RS-485.



Slika 25. Spajanje PLC-a na osobno računalo

3.10. PLC model S7-200

S7-200 Micro PLC je najmanji programabilni kontroler u S7 seriji.

Svaki S7-200 procesor je kompaktno dizajniran te u kućištu ima integrirane ulaze i izlaze. Ulazi služe za promatranje vrijednosti sa sustava (digitalni i analogni senzori), izlazi upravljaju uređajima (npr. ventilima i motorima). Konektor za programiranje može osim za programiranje služiti kao veza sa drugim uređajima, poput zaslona.

3.10.1. S7-200 procesori

Postoji šest S7-200 vrsta procesora (CPU 221, CPU 222, CPU 224, CPU224XP, CPU 224XPsi i CPU 226), te dvije konfiguracije napajanja za svaku vrstu procesora.

U opisu modela prva stvar koja se opisuje je vrsta napajanja koji koristi, druga je vrsta ulaza, treća je vrsta izlaza. Npr. 222 AC/DC/Relay napajan je izmjeničnom izvorom energije (AC), ulazi su istosmjerni (DC), dok su izlazi relejni kontakti (Relay).

Slijedeća slika prikazuje tablicu sa modelima procesora, vrstama napajanja, te vrstama i brojem ulaza i izlaza:

Model Description	Power Supply	Input Types	Output Types	Comm Ports
221 DC/DC/DC	20.4-28.8 VDC	6 x 24 VDC	4 x 24 VDC	1
221 AC/DC/Relay	85-264 VAC, 47-63 Hz	6 x 24 VDC	4 x Relay	1
222 DC/DC/DC	20.4-28.8 VDC	8 x 24 VDC	6 x 24 VDC	1
222 AC/DC/Relay	85-264 VAC, 47-63 Hz	8 x 24 VDC	6 x Relay	1
224 DC/DC/DC	20.4-28.8 VDC	14 x 24 VDC	10 x 24 VDC	1
224 AC/DC/Relay	85-264 VAC, 47-63 Hz	14 x 24 VDC	10 x Relay	1
224XP DC/DC/DC	20.4-28.8 VDC	14 x 24 VDC, 2 x Analog	10 x 24 VDC, 1 x Analog	2
224XP AC/DC/Relay	85-264 VAC, 47-63 Hz	14 x 24 VDC, 2 x Analog	10 x Relay, 1 x Analog	2
224XPsi DC/DC/DC	20.4-28.8 VDC	14 x 24 VDC, 2 x Analog	10 x 24 VDC (current sinking), 1 x Analog	2
226 DC/DC/DC	20.4-28.8 VDC	24 x 24 VDC	16 x 24DC	2
226 AC/DC/Relay	85-264 VAC, 47-63 Hz	24 x 24 VDC	16 x Relay	2

Slika 26. Vrste S7-200 procesora

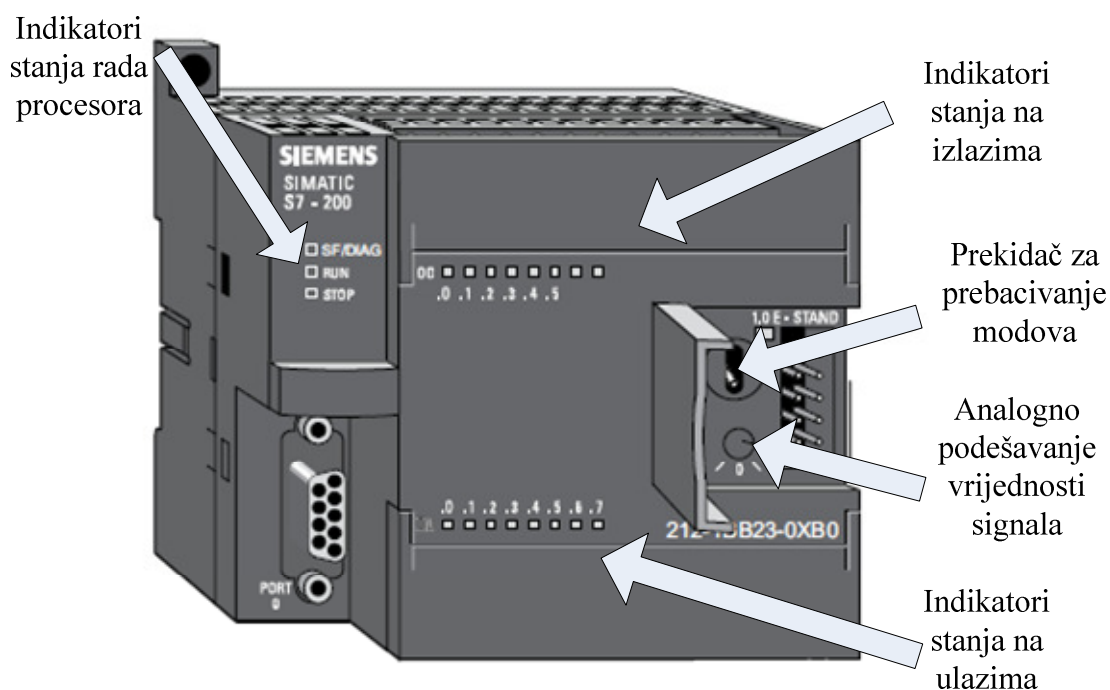
3.10.2. Napajanje PLC-a S7-200

Napajanje ovisi o modelu procesora. S7-200 procesor je napajan sa istosmjernim izvorom 24 V ili sa 120 do 240 V izmjeničnim izvorom. Npr. CPU 221 DC/DC/DC model napajan je istosmjernim izvorom 24 V, dok je CPU 222 AC/DC/Relay napajan izmjeničnim izvorom od 120 do 240 V.

3.10.3. Stanja rada PLC-a

Svaki S7-200 PLC procesor ima tri moda rada; RUN, STOP i TERM. Kada je prekidač na poziciji RUN izvodi se program, osim u slučaju greške. Kada je prekidač na STOP poziciji, procesor je u STOP modu i ne izvršava korisnički program. Kada je prekidač na TERM poziciji, uređaj za programiranje može odabrati stanje u kojem će procesor raditi.

Ispod poklopca na PLC-u se mogućnost analognog podešavanja vrijednosti spremljenih u memoriji. Pomoću toga je moguće promijeniti varijablu u programu od strane korisnika. CPU 221 i CPU 222 imaju jedno analogno podešavanje. CPU 224, CPU 224XP, CPU224XPsi imaju dva analogna podešavanja.



Slika 27. Pristup analognom podešavanju varijabli unutar procesora i odabir moda rada procesora

Indikatori na procesoru prikazuju trenutno stanje procesora. RUN mod, kada RUN indikator svijetli zeleno. STOP mod, kada STOP indikator svijetli žuto. Ukoliko se pojavi greška u sustavu SF/DIAG indikator svijetli crveno, ili žuto za određena dijagnostička stanja sustava.

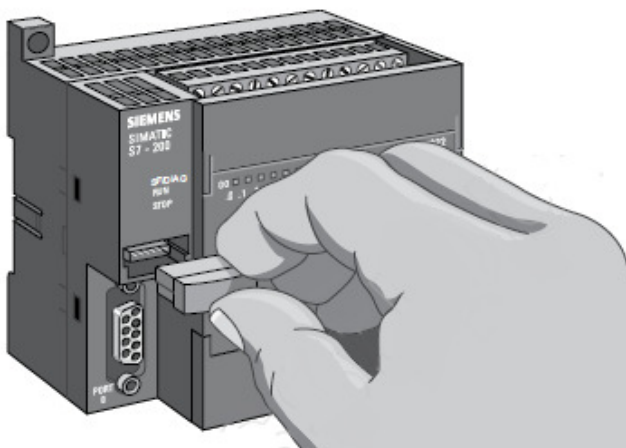
Ulazno/Izlazni indikator svijetle prema tome koji su ulazi ili izlazi uključeni.

Ulazno/Izlazni indikator svijetle prema tome koji su ulazi ili izlazi uključeni.

3.10.4. Dodatna oprema procesora PLC-a

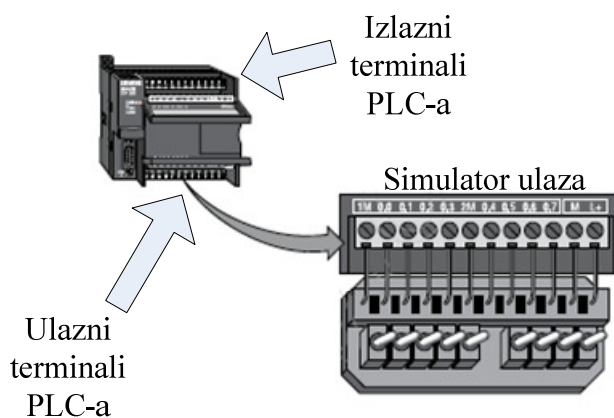
S7-200 ima dodatnu karticu sa EEPROM memorijom (veličine 64 ili 254 kb) kojom omogućuje spremanje korisničkog programa ili prijenos na drugi identičan S7-200 procesor.

Osim toga moguća je nadogradnja baterijski napajanom karticom sa satom (eng. real-time clock) za CPU 221 i CPU 222.



Slika 28. Ulaz za nadogradnju PLC-a

Ulazni uređaji, kao prekidači, sklopke, senzori se spajaju na terminal ispod donjeg poklopca na PLC-u. Jedna od metoda za testiranje ulaznih signala je simulator ulaza (eng. Input simulator), sa mosno ožičenjem na istosmjerni izvor od 24 V. Prilikom uključanja prekidača na simulatoru ulaza, napon od 24 V dolazi do ulaza PLC-a.



Slika 29. Simulator ulaza

Za testiranje programa nije potrebno spajati uređaje na izlaze. LED indikatori na izlazima daju podatak o statusu signala.

Tablica 1. Karakteristike ulaza S7-200 PLC-a

Karakteristike ulaza S7-200	
Ulazni napon	20.4 do 28.8 V
Ulazna struja	110 mA
Navalna struja	12 A pri 28.8V
Izolacija	nema
Držanje pri nestanku el. energije	10 ms na 24 V
Osigurač	3 A, 250V spori

Tablica 2. Karakteristike izlaza S7-200 CPU 224

Vrijednosti izlaza za CPU 224	
Tip	Solid State-MOSFET1 (kao izvor +)
Raspon napona	od 20.4 V do 28.4 V
Struja kratkog spoja	8 A na 100 ms
Logička 1 (min.)	20 VDC pri maksimalnoj struji
Logička 0 (max.)	0.1 V pri opterećenju od 10 kΩ
Nazivna struja po izlazu	0.75A

3.10.5. Memorija i memorijska područja S7-200

S7-200 ima 13Kb memorije, a dijeli se na programsku memoriju (8 Kb Program) i podatkovnu memoriju (5 Kb Data). Memorije je podijeljena u određena adresna područja.

Tablica 3. Podaci o memoriji S7-200

S7 –200 CPU 224	
Programska memorija	8 kb
Podatkovna memorija	5 kb
Tip memorije	EEPROM
Memorijski dodatak	EEPROM
Zadržavanje podataka	190 sati

S7-200 sprema informacije u različite memorijske lokacije koje imaju svoje jedinstvene adrese. Memorijska adresa kojoj se želi pristupiti može se eksplicitno identificirati, što omogućava programu direktan pristup informaciji.

Memorija je podijeljena u zasebna memorijska područja :

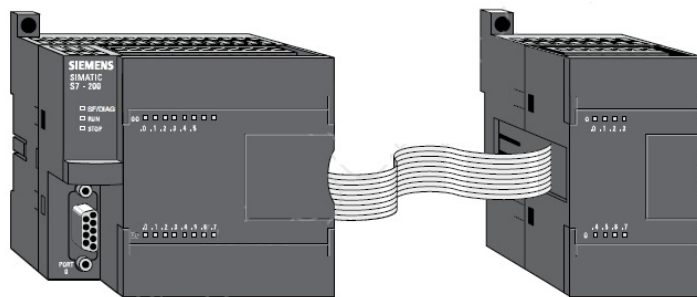
- *registar stanja ulaza (Process-Image Input Register: I , I0.0 to I15.7)* – S7-200 na početku svakog ciklusa uzima uzorke vrijednosti sa fizičkih ulaznih točaka I zapisuje te vrijednosti u registar slike stanja ulaza.
- *registar slike stanja izlaza (Process-Image Output Register: Q , Q0.0 do Q15.7)* – na kraju jednog ciklusa S7-200 kopira vrijednosti spremljene u registar slike stanja izlaza na fizičke izlazne točke.
- *područje varijabilne memorije (Variable Memory Area: V , V0 do VB8191)* – služi za spremanje međurezultata operacija koje su izvedene od kontrolne logike programu , ili druge podatke koji se odnose na određeni program ili proces.
- *područje bit memorije (Bit Memory Area: M, M0.0 do M31.7)*
- *područje memorije brojača vremena (Timer Memory Area: T , T0 do T255)*
- *područje memorije brojača (Counter Memory Area: C, C0 do C255)*
- *visokobrzinski brojači (High-Speed Counters: HC , HC0 do HC5)*
- *akumulatori (Accumulators: AC , AC0 do AC3)*– služe za upis ili ispis različitih podataka , međerezultatata , a upotrebljavaju se kao memorija.
- *specijalna memorija (Special Memory: SM , SM0.0 do SM549.7 , samo čitanje SM0.0 do SM29.7)* – koristi se za odabir i kontrolu nekih od specijalnih funkcija PLC-a.
- *područje lokalne memorije (Local Memory Area: L , LB0 do LB63)* – slična je V memoriji samo što L memorija ima lokalni karakter (doseg) , dok V memorija ima globalni karakter (doseg). To znači da je kod V memorije moguće pristupiti određenoj memorijskoj lokaciji iz bilo kojeg dijela programa (glavnog , potprograma , prekidnih rutina) , dok je lokalna memorija vezana za određeni dio programa.
- *analogni ulazi (Analog Inputs: AI , AIW0 do AIW62)* – S7-200 pretvara analognu vrijednost (kao što je temperatura ili napon) u digitalnu vrijednost dužine riječi (W) od 16 bita.

3.10.6. Moduli za nadogradnju

S7-200 PLC-i imaju mogućnost proširenja dodatnim modulima. Dodatni moduli se povezuju višezilnim kabelima koji se zatvaraju poklopcem, čime se štite od neželjenog oštećenja prilikom korištenja PLC-a.

Montiranje modula se vrši na dva načina, spajanje vijcima ili na standardnu DIN šinu.

Prvenstveno su moduli za nadogradnju predviđeni za proširenje ulaza/izlaza, ali postoje i moduli drugim vrstama komunikacije, moduli za pozicioniranje, moduli za mjerenja.



Slika 30. Spajanje dodatnih modula

- Procesor 221 dolazi sa 6 digitalnih ulaza i 4 digitalna izlaza i ne prihvaća module za nadogradnju.
- Procesor 222 dolazi sa 8 digitalnih ulaza i 6 digitalnih izlaza i prihvaća dodatna dva modula za nadogradnju.
- Procesori 224, 224XP dolazi sa 14 digitalnih ulaza i 10 digitalnih izlaza, te prihvaća do 7 modula za nadogradnju.
- Procesor 226 dolazi sa 24 digitalna ulaza i 16 digitalnih izlaza te prihvaća 7 modula za nadogradnju.

3.11. Numeriranje ulaza/izlaza na PLC-u

S7-200 ulazi i izlazi su označeni i imenovani na spojevima pokraj LED indikatora statusa. ALfanumeričke oznake označavaju adresu ulaza ili izlaza na kojem se nalaze. Te adrese se koriste za određivanje koji će ulazi/izlazi biti upaljeni ili ugašeni.

"I" označava digitalni ulaz, dok "Q" označava digitalni izlaz. Prvi broj iza slova označava bajt, dok drugi označava bit. Mjesta u registru su uvijek rezervirana za inkremente od 8 bitova, što je jedan bajt. Ukoliko modul nema predviđeno fizičko mjesto za spajanje svakog rezerviranog bajta, nekorišteni bitovi ne mogu biti pridruženi ostalim modulima u ulazno/izlaznom lancu.

Svaka analogna ulazno/izlazna točka je povezana sa 16-bitnom riječi u S7-200 PLC-u te je označena sa AI (analogni ulaz) ili AQ (analogni izlaz) slijedena sa W (predstavlja riječ u memoriji) i početnim bajt brojem. Analogne ulazno/izlazne riječi počinju sa parnim brojevima (npr. 0, 2 ili 4).

Analogne ulazno izlazne točke su uvijek alocirane u parovima. Ako modul nema fizičko mjesto za spajanje ulaza ili izlaza za svaku od tih točaka, te ulazno/izlazne točke nisu dostupne u modulima za nadogradnju.

3.12. Analogni ulazi i izlazi PLC-a u primjeni

Za automatsku regulaciju se najčešće koriste analogni ulazi i izlazi. Analogni signali su kontinuirano varijabilni u određenom rasponu, i to napon od 0-10V ili struja od 4 do 20 mA.

Analogni signali se koriste da bi prikazali kontinuirane promjene kao što je brzina, protok, temperatura, težina, razina, itd. Kako bi PLC radio sa takvim ulazima potrebno je pretvoriti analogni signal u odgovarajuće digitalne veličine. S7-200 pretvara svaku analognu vrijednost napona ili struje u 16-bitnu digitalnu veličinu.

Digitalne veličine sa analognog signala su spremljene u adresirane memorijske lokacije za korištenje u korisničkom programu. Na isti način korisnik može spremati digitalne veličine u adresiranu memoriju za pretvaranje u analogne veličine na odgovarajućem analognom izlazu.

Jedini S7-200 procesor sa analognim ulazima/izlazima je CPU 224XP, koji ima dva analogna ulaza i jedan analogni izlaz. Međutim, analogni ulazi/izlazi mogu biti dodani putem modula za nadogradnju na bilo kojem procesoru, osim na CPU 221.

CPU 222 dozvoljava dva modula za nadogradnju, dok ostali procesori dozvoljavaju do 7 modula za nadogradnju.

Moduli za nadogradnju su dostupni sa 4 ili 8 analognih ulaza, 2 ili 4 analogna izlaza, 4 analogna ulaza i jedan analogni izlaz. Osim toga, moduli za nadogradnju su dostupni za korištenje sa termoparovima ili RTD vrstom senzora koji detektiraju toplinu u određenoj točki stroja ili procesa.

3.13. Timeri

U PLC-u timeri su programske funkcije koje služe za praćenje vremena, te omogućavaju naredbe na temelju prolaska vremena.

S7-200 ladder dijagram uključuje tri vrste timera:

- Timer sa kašnjenjem paljenja (ON-Delay Timer, TON)
- Timer sa kašnjenjem paljenja s memorijom (Retentive On-Delay Timer, TONR)
- Timer sa kašnjenjem isključivanja (OFF Delay Timer, TOF)

S7-200 timeri imaju rezoluciju od 1, 10 ili 100 milisekundi.

3.14. Brze instrukcije (HIGH SPEED INSTRUCTIONS)

Napomenuto je da PLC ima vrijeme potrebno za obradu informacije, koje se naziva PLC scan. PLC scan ovisi o veličini programa, broju ulaza i izlaza, količini komunikacije za obradu. Međutim pojedini procesi zahtijevaju brže odzive nego jedan ciklus PLC Scan-a dozvoljava. Za takve potrebe se mogu koristiti brze instrukcije (eng. high speed instructions).

Brzi brojači (High-Speed Counters, HDEF) određuju radno stanje u kojem će specifični brojač (HSCx) raditi. Stanje definira clock, smjer, start i reset funkciju brzog brojača. Postoji 12 radnih stanja brojača, s time da ne mogu svi brojači raditi u svim stanjima.

3.14.1. Interrupt

S7-200 posjeduje tri vrste interupta. Interupt sa komunikacijskog porta, ulazno/izlazni interupt, te interupt na bazi timera. Ulazno/izlazni interupt je dizajniran brzo u skladu sa brzim ulazno/izlaznim prijenosima, te su prioritizirani ukoliko ih ima više unutar programa.

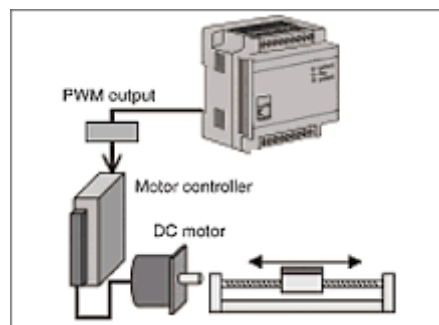
3.14.2. Pulse Training Output (PTO)

S7-200 PLC imaju dva PTO/PWM generatora.

Pulse train Output (PTO) se koristi za puštanje impulsa na izlaz, npr stepper motor. PTO daje kvadratični izlazni signal sa specifičnim brojem impulsa u specifičnom vremenskom ciklusu. Broj impulsa može biti između 1 i 4 924 967 295. PTO ima 50% Duty cycle, što znači da vrijeme uključeno/isključeno jednako. Broj impulsa i period se može mijenjati sa interruptom.

3.14.3. PWM

Pulse Width Modulation. PWM ima fiksni period, ali varijabilan period uključeno/isključeno (duty cycle). Npr. duty cycle je jednak 100%, signal je kontinuiran, duty cycle je jednak 40%, signal je u svakom periodu uključen kroz 40% perioda. Duty cycle se može mijenjati interruptom.



Slika 31. Spajanje PWM signala sa PLC-a

3.15. S7-300 PLC

Način programiranja, vrijednosti napona i struja, zatim spajanje se ne razlikuju od S7-200 programibilnih logičkih kontrolera. Glavna razlika u hardveru je da nema integrirane ulaze i izlaze u isto kućište kao i procesor, ima više mogućnosti proširenja i brže procesore, dok je u softveru (STEP7), zbog različitih modula za proširenje, prije programiranja koda za proces potrebno u potpunosti opisati, odnosno povezati hardversku konfiguraciju PLC-a (Vrsta procesora, moduli za proširenje...).

Pošto su ranije opisani detalji rada programabilnog logičkog kontrolera, ovdje ćemo se zadržati isključivo na značajkama S7-300 PLC, i to sa procesorom CPU 314.

Tablica 4. Tehničke značajke S7-300

<i>Tehničke značajke S7-300 PLC-a sa CPU 314</i>	
<i>Programiranje i dimenzije PLC-a</i>	
Softver	STEP 7 V5.5
Brzina prijenosa podataka	187,5 kbps
Programski jezici	LAD, FBD, STL, SCL, CFC, GRAPH, HiGraph
Zaštita programa lozinkom	Da (enkripcija S7-Block Privacy)
Dimenzije širina x visina x duljina	40 x 125 x 130 mm
Težina	280 g
<i>Memorija</i>	
Glavna integrirana memorija	128 KB
Nadogradnja MMC(10 godina)	8 MB
<i>Vremena izvršavanja</i>	
Za bit operacije	0.06 μ s
Za word operacije	0.12 μ s
Fiksna aritmetika	0.16 μ s
Minimalna floating-point aritmetika	0.59 μ s
<i>S7 brojači i timeri</i>	
Količina S7 brojača	256
Raspon brojenja brojala	0 - 999

IEC brojač (SFB) raspon	ograničen samo memorijom
Količina S7 timera	256
Raspon postavki vremena	10 ms – 9990 s
IEC timer	ograničen samo memorijom
<i>Podatkovni blokovi</i>	
Brojevi, maks.	1024 (1 do 16000)
Veličina, maks.	64 KB
<i>Adresni rasponi ulaza i izlaza</i>	
Ulazi	1024 bajta
Izlazi	1024 bajta
<i>Sat</i>	
Hardverski sat	Da, sa mogućnošću sinkronizacije
Ponašanje nakon gašenja	Sat nastavlja raditi
Moguća greška po danu	10 s (tipično 2 s)
<i>Napajanje</i>	
Napon napajanja (zadani)	24 V DC
Najniža dopuštena vrijednost napona (DC)	19.2 V
Najviša dopuštena vrijednost napona (DC)	28.8 V
Potrošnja struje (otvoreni krug)	140 mA
Potrošnja struje (pod opterećenjem)	650 mA
Kratkotrajno moguće opterećenje strujom	3.5 A
Preporučena zaštita na napajanju	2 A osigurač
Gubici snage	4W

4. FPGA tehnologija

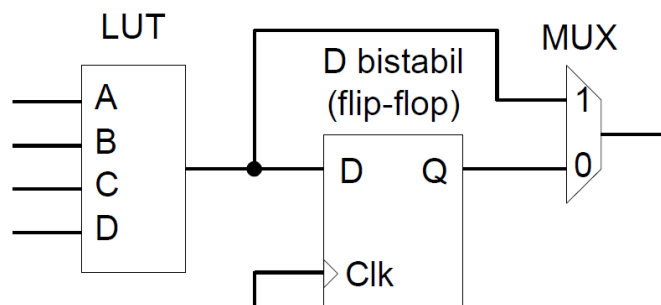
4.1. FPGA općenito

Programibilna polja logičkih vrata (eng. Field programmable gate array – FPGA) su digitalni sklopovi vrlo visokog stupnja integracije u kojima se veliki broj relativno jednostavnih i uniformnih programibilnih logičkih elemenata može povezati u proizvoljni kompleksni sklop, te takav sklop povezati s vanjskim aktuatorom putem programibilnih ulazno-izlaznih priključaka.

FPGA sklopovi danas imaju široku primjenu u industriji (automatsko upravljanje), medicini (ultrazvuk, CT, MR), prometu (sonar, radar), radiokomunikacijama i telekomunikacijama (odašiljači, mrežni prospojnici, sklopovski vatrozidovi), potrošačkoj elektronici (npr. HD video preklopnici), te općenito pri razvoju digitalnih sustava kao pomagala za ispitivanje prototipova.

4.2. FPGA princip rada

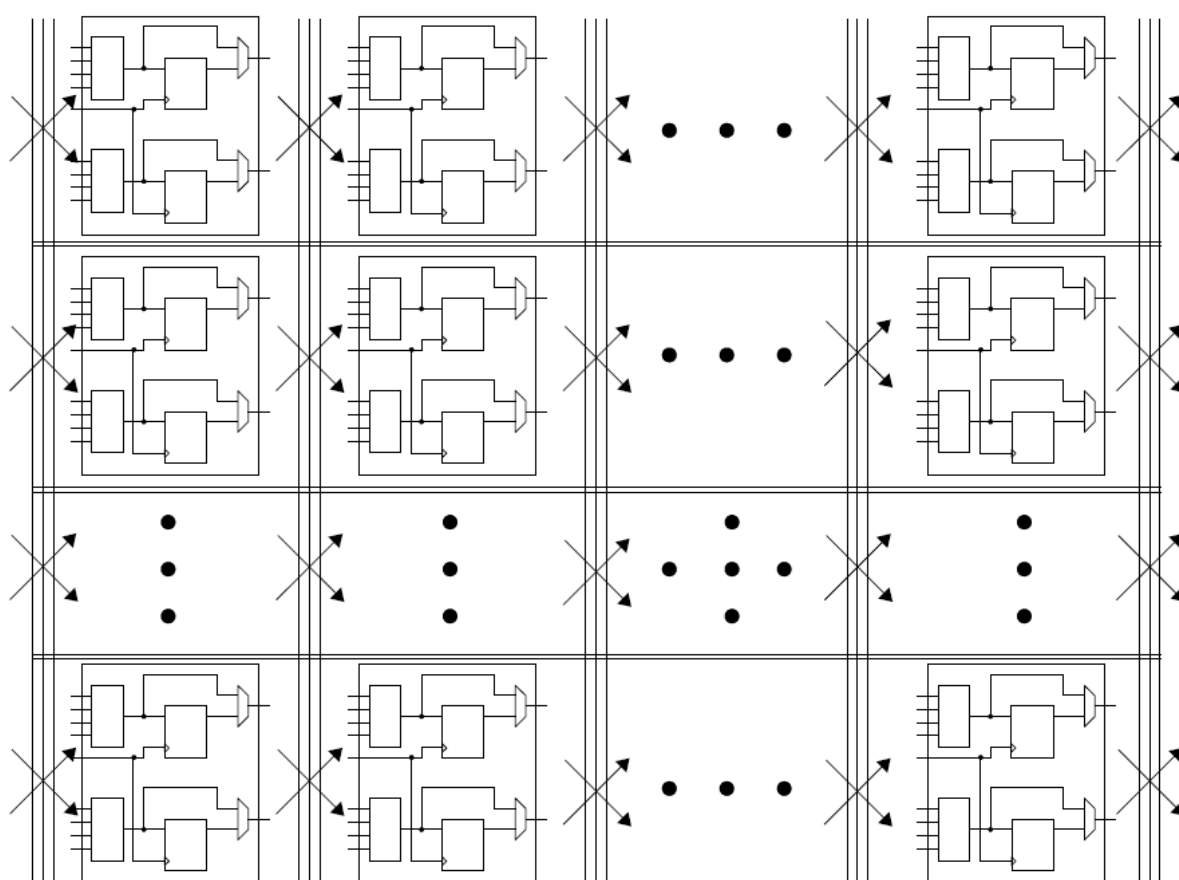
Temeljne komponente programibilnih blokova su pregledna tablica (eng. lookup table – LUT) i sinkroni bridom okidani D bistabil (eng. flip-flop). Pregledna tablica omogućuje izvedbu proizvoljne logičke funkcije od N varijabli, gdje je N broj ulaza, koji u današnje vrijeme zavisno od proizvođača i kategorije FPGA sklopa može biti 4, 5 ili 6. Izlaz iz jedne pregledne tablice može se direktno dovesti na ulaz memorijskog elementa (bistabil) ili povezati s ulazima drugih preglednih tablica te takvim kaskadiranjem ostvariti kompleksnije logičke funkcije. Pojednostavljeni model temeljnog programibilnog logičkog elementa (eng. logic element) modernog FPGA sklopa koji se sastoji od pregledne tablice i D bistabila prikazan je na slici 32.



Slika 32. Struktura programibilnog logičkog elementa

Više logičkih elemenata (obično 2 ili 4) grupirani su u logičke blokove, za koje svaki proizvođač ima vlastitu terminologiju, npr. Configurable logic block, logic slice, logic cell i slično. Za međusobno povezivanje logičkih blokova FPGA sklopovi raspolažu s programibilnom mrežom vodova koja omogućuje povezivanje bilo kojeg izlaza bilo kojeg logičkog bloka s bilo kojim ulazom drugog ili istog logičkog bloka odnosno elementa. Posebni dio mreže služi za sinkronizirano dovođenje signala takta do svakog logičkog bloka.

Pojednostavljena struktura tipičnog FPGA sklopa koja se sastoji od polja programibilnih logičkih blokova i mreže prikazana je slijedećoj slici:



Slika 33. Struktura programibilnih polja logičkih blokova

Veličine polja današnjih FPGA sklopova kreću su u rasponu od oko 1.000 do 500.000 preglednih tablica (LUT) odnosno logičkih elemenata. Kašnjenja pojedine pregledne tablice (LUT) tipično su reda veličine od 50 do 100 ps, kašnjenja bistabila su reda veličine od 200 do 500 ps, dok kašnjenja koja unosi unutarnja mreža mogu dosegnuti i do nekoliko ns.

Bitno je uočiti da svaki logički blok FPGA sklopa radi paralelno i potpuno nezavisno od drugih, za razliku od računala opće namjene u kojima jezgra mikroprocesora slijedno izvršava programske instrukcije jednu za drugom.

Uz velik broj generičkih logičkih blokova temeljenih na preglednim tablicama (LUT) te posebnih elemenata vezanih uz programabilna vanjska ulazno-izlazna sučelja, moderni FPGA sklopovi obično raspolažu i s manjim brojem dodatnih specijaliziranih elemenata kao što su blokovi statičke RAM memorije, blokovi za množenje, sintetizatori takta, blokovi za izvedbu sučelja prema vanjskim dinamičkim RAM memorijama (DDR), interna Flash memorija i slično.

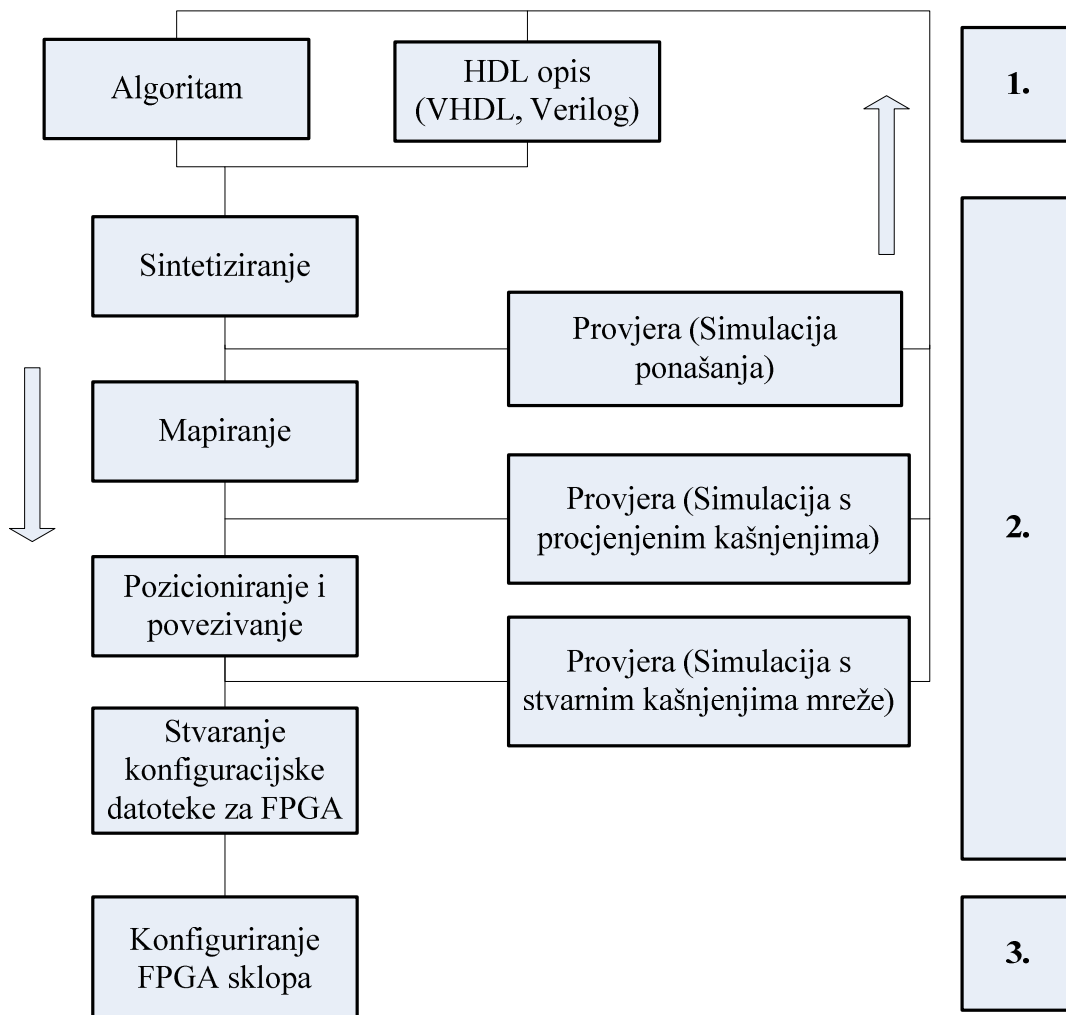
Sve današnje FPGA platforme raspolažu i sa specijaliziranim signalima koji povezuju susjedne logičke blokove, a koji su prvenstveno namijenjeni brzom prijenosu bita prelijeva kod implementacije više-bitnih blokova za zbrajanje ili oduzimanje (tzv. fast carry chain).

4.3. Postupci opisa, sinteze i programiranja konfiguracije FPGA sklopa

Konfiguracija FPGA sklopova, dakle logičkih blokova i njihove mreže, u pravilu se generira strojno uz pomoću specijaliziranih programskih alata, tzv. sintetizatora (eng. synthesis tools), a na temelju opisa sklopa specificiranog shemom ili korištenjem jezika za opis digitalnih sklopova (eng. hardware description language - HDL).

Kako svaka kategorija FPGA sklopova svakog proizvođača ima različitu internu strukturu i arhitekturu, tako se razlikuju i alati za sintezu, a vlastite algoritme za sintezu konfiguracija svojih FPGA sklopova svaki proizvođač brižno čuva od konkurencije. Drugim riječima, za projektiranje digitalnih sklopova i sustava koji će se sintetizirati na FPGA sklopovima nije potrebno poznavati implementacijske detalje ciljane FPGA platforme, ali je korisno razumjeti njihovu strukturu kako bi se opis željenog sklopa formulirao na način koji omogućuje sintetizatoru stvaranje optimalne konfiguracije logičkih blokova i mreže između njih.

Rad s programskim alatima za sintezu konfiguracije FPGA sklopova može se podijeliti u tri glavne cjeline, kao što je prikazano slikom.



Slika 34. Koraci sinteze, konfiguracije i programiranja FPGA

Prvi korak je opis željenog sklopa na način koji je prikladan za daljnju strojnu obradu, najčešće unosom algoritma ili korištenjem jezika za opis digitalnih sklopova, od kojih su danas najšire prihvaćeni i podržani VHDL i Verilog.

Sinteza konfiguracije FPGA sklopa na temelju shematskog ili HDL opisa provodi se u više koraka.

U koraku koji je u većini programskih alata nazvan "Sintetiziranje" analizira se opis sklopa te se opisani blokovi zamjenjuju funkcijski ekvivalentnim strukturnim modelima izgrađenim od primitiva specifičnih za ciljanu FPGA platformu, pri čemu se provodi i automatizirana optimizacija kombinacijske i sekvencijske logike. Rezultirajuća mreža

primitiva, koja se uobičajeno naziva netlist, može se analizirati korištenjem odgovarajućeg simulatora, pri čemu se ne modeliraju kašnjenja primjenjenih primitiva.

U slijedećem koraku, koji se uobičajeno naziva Mapiranje, sintetizator primitive (npr. AND_2, OR_8, MUX_16_1) zamjenjuje mrežom preglednih tablica (LUT), memorijskih elemenata te ostalih specijaliziranih logičkih blokova koji odgovaraju ciljanoj FPGA platformi. U ovom koraku sintetizator može napraviti i simulacijski model sklopa koji uključuje grubu procjenu kašnjenja pri propagaciji signala, budući da u ovom koraku još nisu poznata kašnjenja mreže.

U koraku nazvanom Pozicioniranje i povezivanje sintetizator pokušava rasporediti logičke blokove na FPGA sklopu i povezati ih na način koji će omogućiti ispravan rad sklopa na najvišoj mogućoj frekvenciji takta. Zavisno od kompleksnosti opisanog sklopa, ciljane frekvencije takta postavki Pozicioniraj i Stavi algoritma, te brzine računala na kojem se izvodi algoritam, ovaj dio postupka sinteze može potrajati od nekoliko desetaka sekundi do više sati, pa i dana. Po završetku ovog koraka sintetizator može napraviti simulacijski model koji uključuje vrlo preciznu procjenu kašnjenja svih logičkih elemenata i mreže. Analizom takvog simulacijskog modela mogu se pronaći kritične točke projektiranog sklopa koje ograničavaju brzinu rada (najslabije karike u lancu), te se na temelju analize može pristupiti preinakama opisa sklopa.

Krajnji rezultat procesa sinteze je konfiguracijska datoteka (eng. Configuration bitstream) kojom se pomoću odgovarajućeg alata može programirati FPGA sklop, odnosno pohraniti u njegovu trajnu memoriju (Flash ili EPROM) iz koje će sklop automatski učitati konfiguraciju prilikom uspostave napajanja.

4.4. FM352-5 ekstenzijski modul s brzim logičkim procesorom u FPGA tehnologiji

4.4.1. Funkcije FM 352-5 modula

FM352-5 (Slika 35) je procesor temeljen na Boole-ovoj logici koji omogućuje vrlo brzu kontrolu pojedinih procesa unutar većeg sustava, odnosno koristi ranije opisanu FPGA tehnologiju za paralelno izvršavanje koda za razliku od sekvencijalnog, kakvog koriste normalni programibilni logički kontroleri. Takva metoda računanja omogućuje brzo i stabilno procesiranje signala.



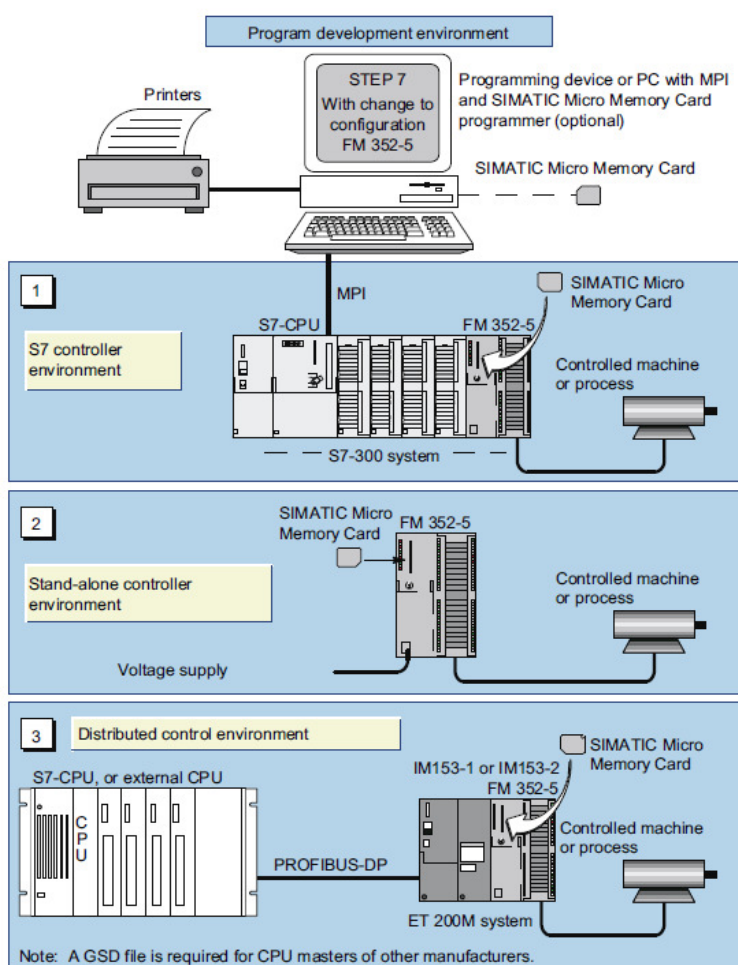
Slika 35. FM352-5

Osim normalnih ulaza i izlaza, procesor podržava i jedan od tri tipa enkodera (diferencijalne inkrementalne enkodere, jednostruke inkrementalne enkodere, te SSI(engl. Synchronous Serial Interface) apsolutne enkodere). Ako se odaberu SSI apsolutni enkoderi ili diferencijalni inkrementalni enkoderi, 24 V ulazi enkodera su dostupni kao digitalni ulazi. Ako se ne koriste enkoderi, mogu se koristiti tri digitalna diferencijalna ulaza pomoću odgovarajućeg konektora za drugu namjenu.

4.4.2. Konfiguracija sustava

Na slici 36 se vide moguće konfiguracije sustava FM 352-5. Program za hardversku konfiguraciju modula se piše u STEP 7 softveru. FM352-5 može raditi u sljedećim konfiguracijama:

- (1) spojen sa S7 programibilnim logičkim kontrolerom,
- (2) u samostalnoj konfiguraciji,
- (3) u modularnom sustavu sa S7 kontrolerom (kao master ili slave) koristeći PROFIBUS komunikaciju.



Slika 36. Primjeri konfiguracije FM 352-5 modula

4.4.3. Značajke FM 352-5

Tablica 5. Značajke FM 352-5

Trajanje jednog ciklusa	1 μ s
Naredbe	And, Or, XOr, =, S/R, Timer, Counter, Divider, Compare, Move, Shift Register, Pulse Generator, Add, Sub, Mult, Div, Abs
Broj operacija	približno 800 za čistu binarnu logiku
Podatkovno sučelje	16 ulazno/izlaznih bajtova
Digitalni ulazi	9 + 3 (3 su slobodna ukoliko se ne koristi 24V inkrementalni enkoder)
Digitalni ulazi	8, 24V, 0.5A
Interrupt	8 hardverskih interrupt-a (OB40) 1 dijagnostički interrupt (OB82)
Enkoder	1 inkrementalni 24V, 5V ili 1 apsolutni, SSI(master, subscriber)
Fazni pomak signala	zanemariv
Implementacija	samostalno sa S7-300 ili ET 200M PLC-om
Dodatna memorija	mikro memorijska kartica za sigurnosnu kopiju podataka
Komunikacija	PROFIBUS
Primjena	kontrola kvalitete proizvoda zaštita uređaja visokofrekventna proizvodnja

5. Implementacija PR regulatora

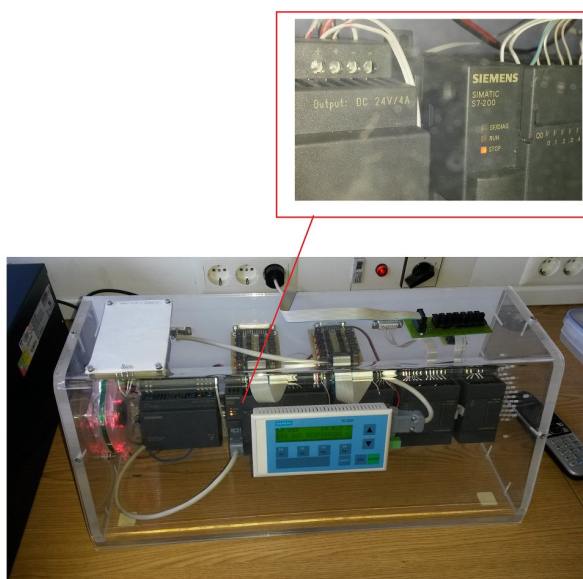
5.1. Postav za implementaciju PR regulatora

Implementacija PR regulatora se vrši na postavu FSB-a, laboratorija za elektrotehniku. Postav se sastoji od industrijskog računala sa instaliranim Windows XP SP3, te instaliranim STEP 7/MicroWin softverom.



Slika 37. Industrijsko računalo

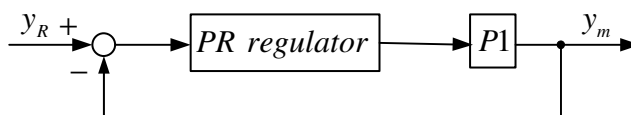
Na industrijsko računalo je dodatno spojen programibilni logički kontroler (PLC) S7-200 ranije opisan u poglavlju 30., opremljen sa dodatnim ulazno izlaznim modulima i korisničkim sučeljem.



Slika 38. Postav PLC S7-200 FSB

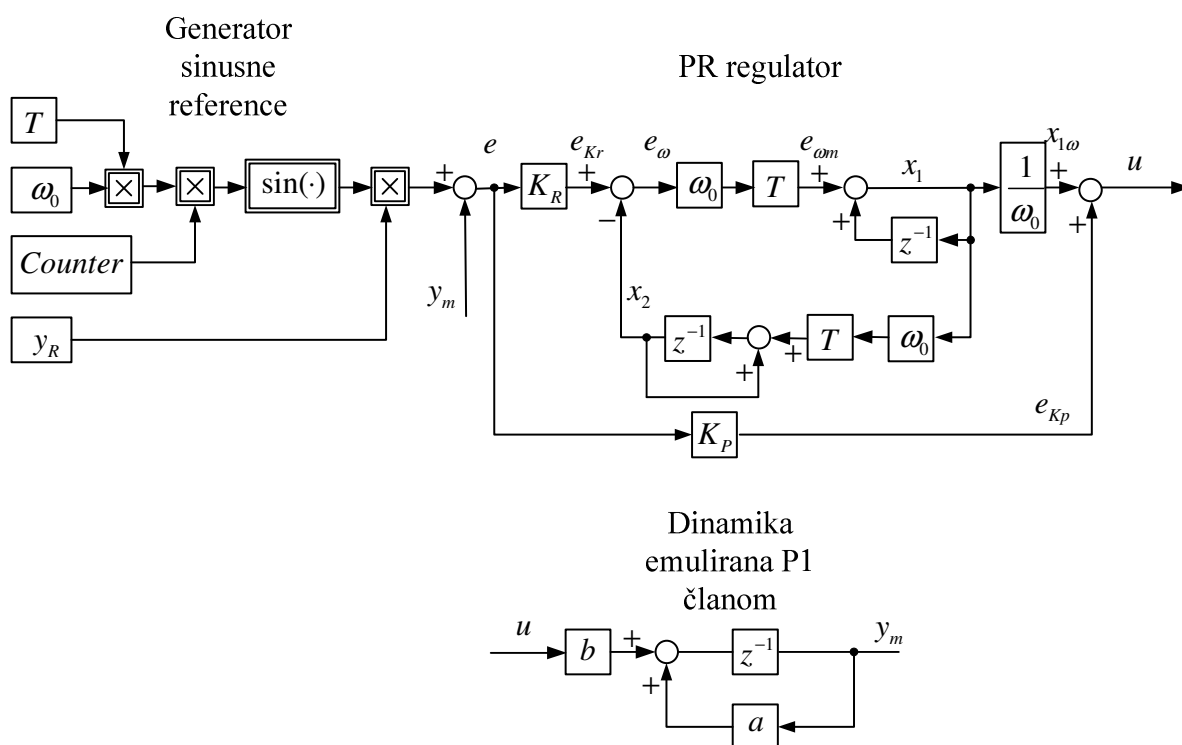
5.2. Implementacija PR regulatora

Minimalna zadovoljavajuća konfiguracija je S7-300 PLC sa dodatnim modulom FPGA sa brzim logičkim procesorom. Prilikom izrade rada takav postav nije bio potpuno funkcionalan zbog problema sa softverom, pa je za potrebe demonstracije rada regulatora poslužio S7-200 PLC. Naime za regulaciju pretvarača izmjenične AC mikromreže S7-200 programibilni logički kontroler je prespor, te nije moguće direktno regulirati struju pretvarača. No, međutim, moguće je implementirati PR regulator, te emulirati jednostavan dinamički sustav prikazan kao P1 član koji radi na nižoj frekvenciji od standardne izmjenične mreže.



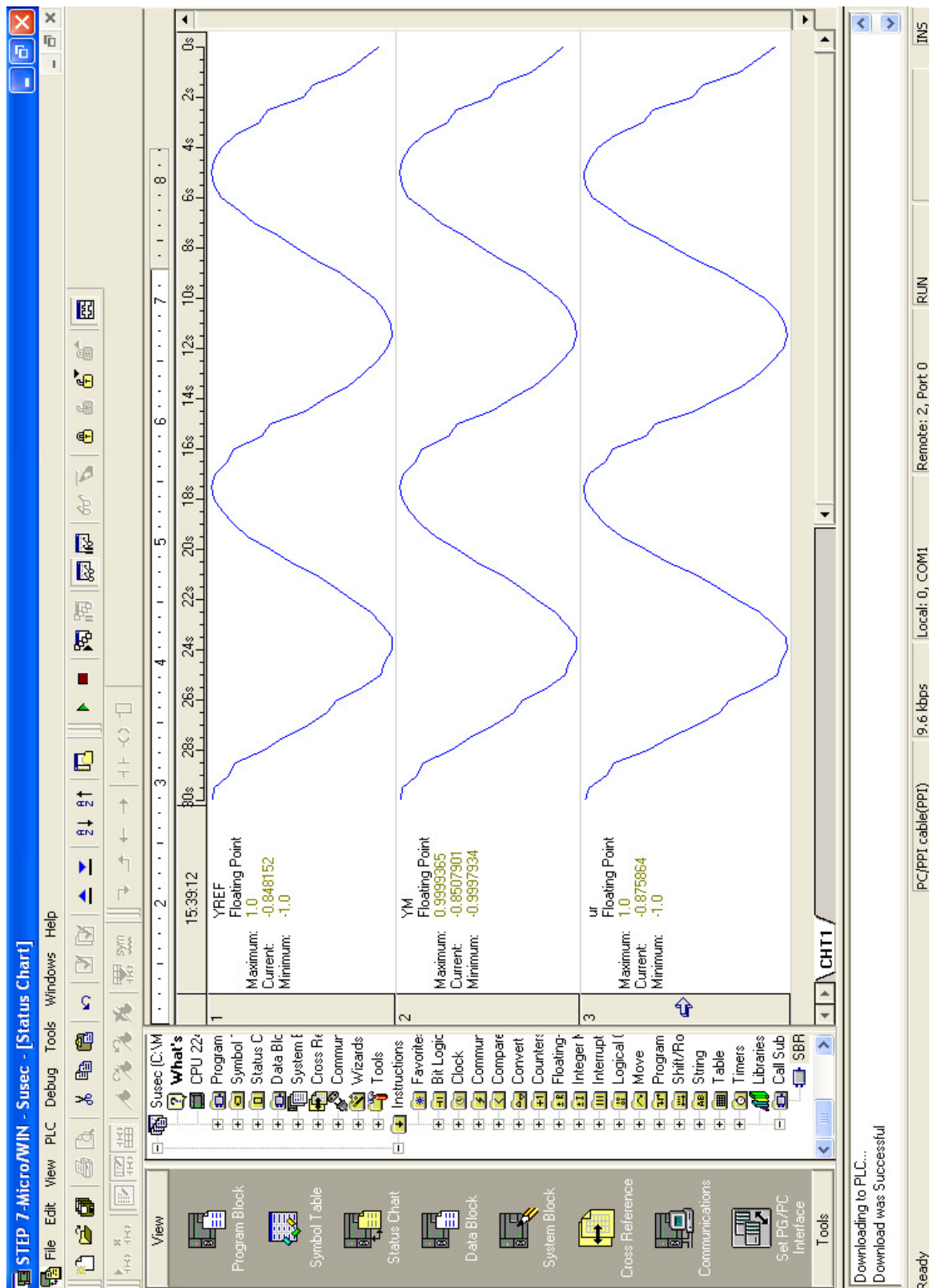
Slika 39. PR regulator

Nadalje, na slici 40 je prikazan slijed implementacije generičkog sustava reguliranog PR regulatorom, sa emuliranom sinusnom referencom pomoću brojača, te jednostavne dinamike temeljene na P1 članu.



Slika 40. Slijed implementacije generičkog sustava reguliranog PR regulatorom

5.3. Rezultat implementacije PR regulatora



Slika 41. Rezultati regulacije PR regulatorom u RUN modu PLC-a

Tablica 6. Parametri generičkog regulacijskog kruga sa implementiranim PR regulatorom

Parametri sustava	
$a = 0.9048$	parametar dinamike temeljen na P1 članu
$b = 1-a = 0.0952$	parametar dinamike temeljen na P1 članu
$Kp = 0.1314$	pojačanje proporcionalnog dijela regulatora
$Kr = 0.375$	pojačanje rezonantnog dijela regulatora
$WOT = 0.05$	parametar za generiranje sinusne reference ($\omega_0 * T$)
$\omega_0 = 0.5 \text{ rad/s}$	kružna frekvencija
$T = 0.1 \text{ s}$	Period ($T = 1/f$)

Na slici 41. se vide rezultati regulacije implementiranog PR regulatora u PLC tip S7-200. Prilikom rada PLC-a, snimljeni su rezultati regulacije sustava. Pod (1) smože se vidjeti emulirani sinusni signal reference. Pod (2) se vidi izlazni signal regulacijskog kruga, dok pod (3) se prikazuje referenca naponskog signala koji ulazi u objekt regulacije.

Prema dobivenim rezultatima može se da PR regulator dobro prati referencu u stacionarnom stanju, što je poželjno kod složenijih sustava poput mikromreže. Nema izražene DC komponente, a razlika između izlaznog i referentnog signala je zanemariva.

Blago odstupanje od idealnog sinusnog signala može, može se pripisati grešci u komunikaciji između PLC i potprograma na industrijskom računalu zaduženom za real-time ispis podataka.

6. ZAKLJUČAK

U ovom radu prikazan koncept projektiranja i implementacija proporcionalno rezonancijskog regulatora za harmonički sustav dinamičkih veličina, te hardver u koji se regulator implementira.

Prvi dio rada obrađuje projektiranje i simulaciju proporcionalno rezonantnog regulatora struje za napajanje izmjenične mikromreže, gdje je opisan postupak sinteze regulatora pomoću optimuma dvostrukog odnosa. Za tim je PR regulator sa dobivenim parametrima simuliran u Matlab Simulink softveru, te su prezentirani rezultati dobiveni za regulator struje idealiziranog modela pretvarača izmjenične mikromreže, zatim diskretizirani regulator struje kojemu je objekt regulacije diskretizirani model pretvarača, te na kraju diskretizirani regulator struje sa realističnijim sklopnim modelom pretvarača temeljenog na pulsno širinskoj modulaciji (PWM) napona istosmjernog međukruga pretvarača.

U drugom dijelu rada opisani su programibilni logički kontroleri iz serije S7-200 i S7-300, koji se smatraju idealnim hardverom za primjenu kod mikromreža, zbog svog robusnog dizajna, dostupnosti i cijene. U istom dijelu rada opisana je FPGA tehnologija i ekstezijski modul FM352-5 za S7-300 seriju PLC-a sa implementiranom FPGA tehnologiju, a koji je potreban za modulaciju PWM napona.

U trećem dijelu rada opisana je implementacija genrečkog PR regulatora u PLC iz serije S7-200 te su snimljeni rezultati regulacije unutar PLC slanjem komunikacijom prema industrijskom računalu u softveru STEP 7-Micro/WIN.

Rezultati simulacija i eksperimentalne analize na S7-200 programibilnom logičkom kontroleru pokazuju da PR regulator podešen rezonantnu frekvenciju (u ovom slučaju 50Hz mikromreže) precizno prati referencu ulaznog harmoničkog signala (u slučaju simulacija struje izmjenične (AC) mikromreže). Prilikom implementacije PR regulator zahtjeva manje računalnih resursa od dosadašnjih rješenja za regulaciju harmoničkih veličina.

Implementacija PR regulatora vrši u jednostavnim industrijskim programabilnim logičkim kontrolerima, koji su relativno niske cijene, dok su sa druge strane pouzdani i robusni.

Iz svih prethodno navedenih stavki zaključuje se PR regulator pogodan za slijeđenje harmoničkih stacionarnih referenci kao što su reference struje izmjenjivača predviđenih za rad na jednofaznoj mreži.

POPIS LITERATURE

- [1] Danijel Pavković, Polak Siniša, and Davor Zorc. *PID controller auto-tuning based process step response and damping optimum criterion*. ISA Transactions, 53(1):85-96, 2014.
- [2] Nedjeljko Perić, Jadran Matuško. *Optimum dvostrukog odnosa*. FER, 2010.
- [3] Teodorescu R., Blaabjerg F., Liserre M., Borup U. *A New Control Structure for Grid-Connected PV Inverters with Zero Steady-State Error and Selective Harmonic Compensation*. Proceedings of APEC'04, Anaheim, CA.
- [4] Dong Dong, Timothy Thacker, Rolando Burgos, Dushan Boroyevich, and Fred Wang. *On zero steady-state error of single-phase pwm inverters voltage control and phase-locked loop system*. In *Energy Conversion Congress and Exposition*, 2009. ECCE 2009. IEEE, 892-899. IEEE, 2009.
- [5] Dong Dong, Timothy Thacker, Rolando Burgos, Fei Wang, and Dushan Boroyevich. *On zero steady-state error voltage control of single-phase pwm inverters with different load types*. *Power Electronics*, IEEE Transactions on, 26(11):3285-3297, 2011.
- [6] Vlada Republike Hrvatske. *Tarifni sustav za usluge elektroenergetskih djelatnosti koje se obavljaju kao javne usluge*. Narodne novine, 2002.
- [7] Danijel Pavković i Joško Deur. *Nastavni materijali iz kolegija neizravno i digitalno upravljanje*.
- [8] Danijel Pavković i Joško Deur. *Nastavni materijali iz elektromotornih servopogona*. 2006.
- [9] Božidar Skalicki i Josip Grilec. *Električni strojevi i pogoni*. FSB press, Zagreb, 2004.
- [10] Goran Petrović, Tomislav Kilić i Ozren Bego. *Smanjenje udarnih struja uklopa trofaznog energetskog transformatora*. *Energija*, 57(3):350-367, 2008.
- [11] Mario Essert i Zdravko Valter. *Osnove elektrotehnike*. Fakultet strojarstva i brodogradnje, 1991.
- [12] Rolf Isermann. *Digital control systems*, Volume 1: Fundamentals, Deterministic Control. Springer, 1989.

- [13] Danijel Pavković, Matija Hoić, Joško Deur, and Joško Petrić. *Energy storage systems sizing study for a high-altitude wind energy application*. Energy (Oxford), Vol. 76, 91-103, 2014.
- [14] Danijel Pavković, Matija Hoić, Joško Petrić, Zvonko Herold, and Joško Deur. *An overview of energy storage systems considering renewable energy applications*. 6th Dubrovnik Conference on Sustainable Development of Energy, Water and Environment Systems, pages 1-24, 2011.
- [15] Danijel Pavković, Polak Siniša, and Davor Zorc. *PID controller auto-tuning based process step response and damping optimum criterion*. ISA Transactions, 53(1):85-96, 2014.
- [16] Nürnberg Siemens AG Industry Sector. Siemens AG: *S7-300, CPU 31xC and 31x*: Technical specifications manual. A5E00105475-12, 2011.
- [17] Xingguo Tan, Qingmin Li, and Hui Wang. Advances and trends of energy storage technology in microgrid. International Journal of Electrical Power & Energy Systems, 44(1)-179-191, 2013.
- [18] Timothy Thacker, Dushan Boroyevich, Rolando Burgos, and Fei Wang. *Phase-locked loop noise reduction via phase detector implementation for single-phase systems*. Industrial Electronics, IEEE Transactions on, 58(6):2482-2490, 2011.
- [19] Ionut Trintis. *Grid Converters for Stationary Battery Energy Storage Systems*. PhD thesis, Videnbasen for Aalborg UniversitetVBN, Aalborg Universitet Aalborg University, Det Teknisk-Naturvidenskabelige The Faculty of Engineering and Science, 2011.
- [20] Qing-Chang Zhong and George Weiss. *Synchronverters: Inverters that mimic synchronous generators*. Industrial Electronics, IEEE Transactions on, 58(4):1259-1267, 2011.
- [30] D. Zammit, C. Spiteri Staines, M. Apap. *Comparison between PI and PR Current Controllers in Grid Connected PV Inverters*, International Journal of Electrical, Computer, Energetic, Electronic and Communication Engineering Vol:8, No:2, 2014
- [31] C. Alexandra, A. M. Almaktoof, AK Raji. *Development of a Proportional + Resonant (PR) Controller for a Three-Phase AC Micro-Grid System*. Electrical Engineering

department, Cape Peninsula University of Technology, Bellville Campus, 7535, Republic of South Africa

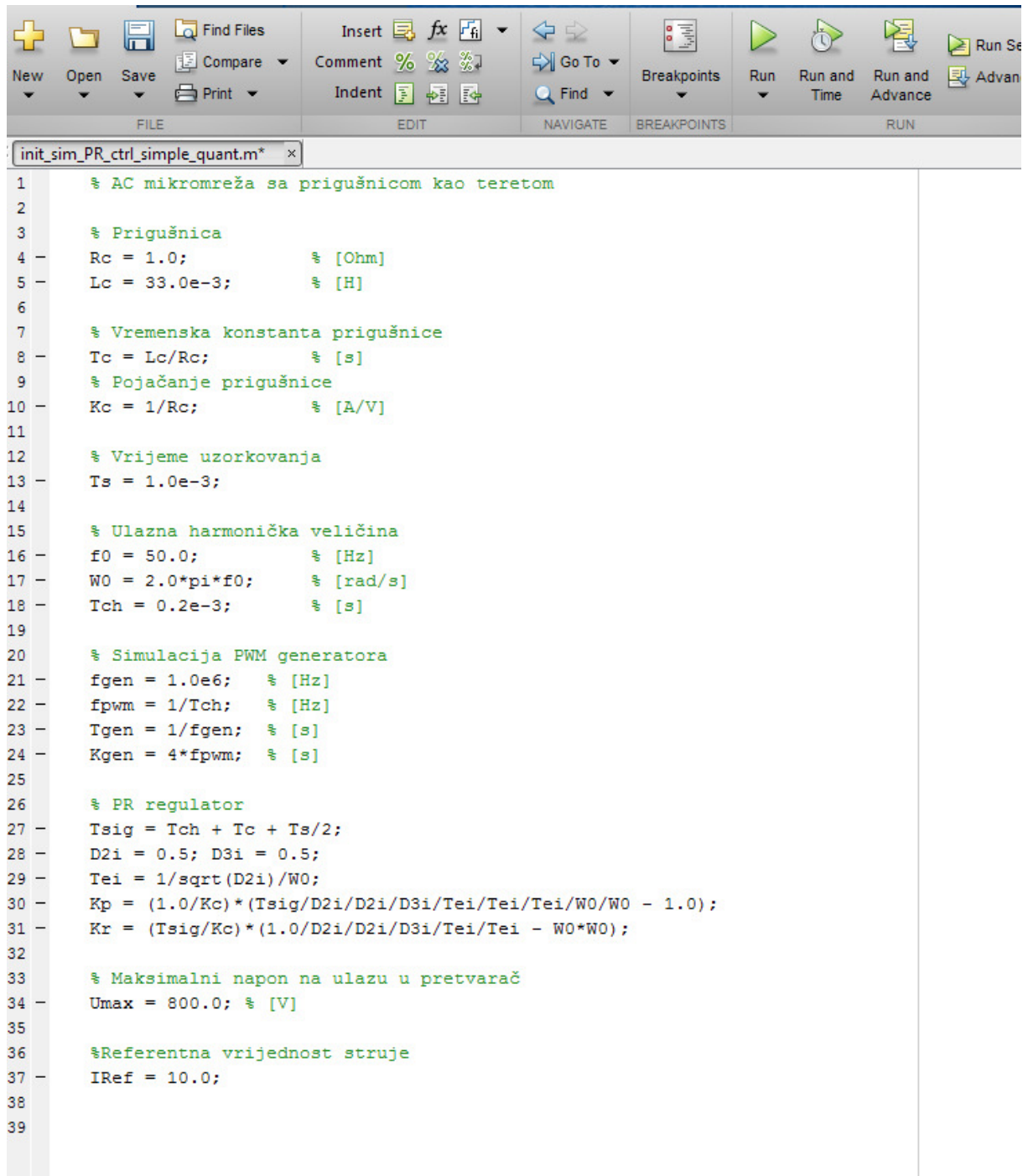
- [32] R. Teodorescu, F. Blaabjerg. Proportional-Resonant Controllers. *A New Breed of Controllers Suitable for Grid-Connected Voltage-Source Converters*, Journal of Electrical Engineering
- [33] N. Zhang, H. Tang, C. Yao. *A Systematic Method for Designing a PR Controller and Active Damping of the LCL Filter for Single-Phase Grid-Connected PV Inverters*. *Energies* 2014, 7, 3934-3954; doi:10.3390/en7063934

Internet:

- [34] http://en.wikipedia.org/wiki/Pulse-width_modulationwww.infoPLC.net
- [35] <https://www.youtube.com/watch?v=pI7mDvUwiWE>
- [36] <http://www.ece.northwestern.edu/localapps/matlabhelp/toolbox/simulink/slref/discretetimeintegrator.html>
- [37] <https://support.industry.siemens.com/tf/ww/en/posts/creating-analog-output-signals/27811/?page=0&pageSize=10>
- [38] [https://en.wikipedia.org/wiki/Ripple_\(electrical\)](https://en.wikipedia.org/wiki/Ripple_(electrical))
- [39] http://www.infoplcn.net/files/descargas/siemens/infoplcn_net_fm3525_tech_en.pdf
- [40] https://en.wikipedia.org/wiki/Pulse-width_modulation

PRILOG

Matlab Simulink simulacije

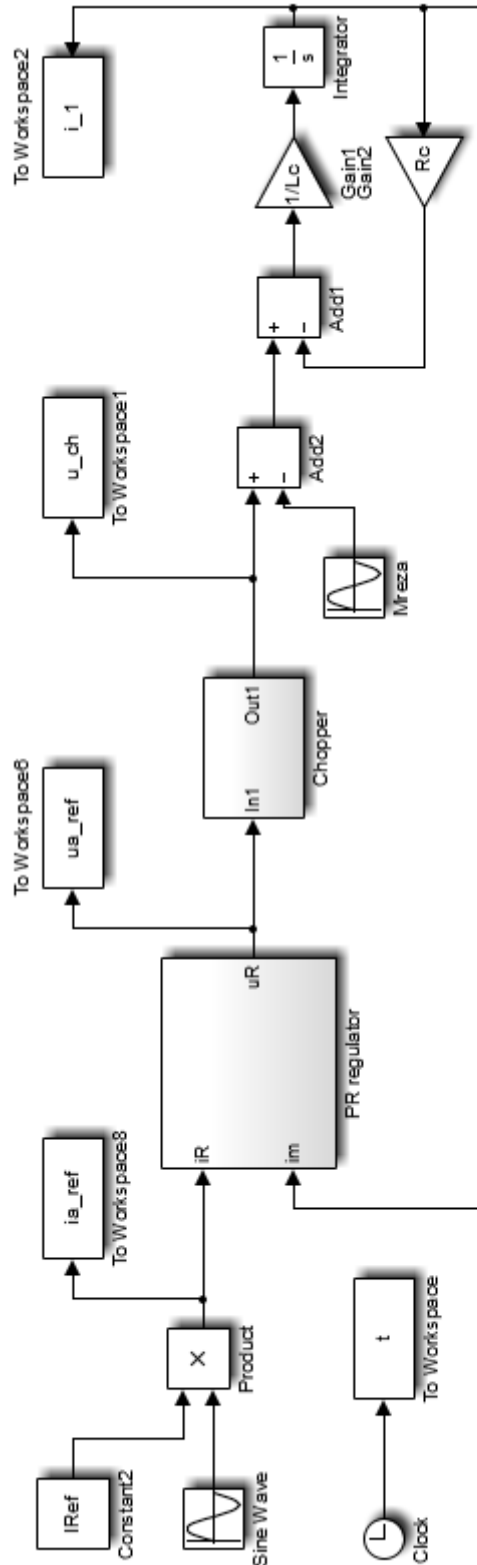


```

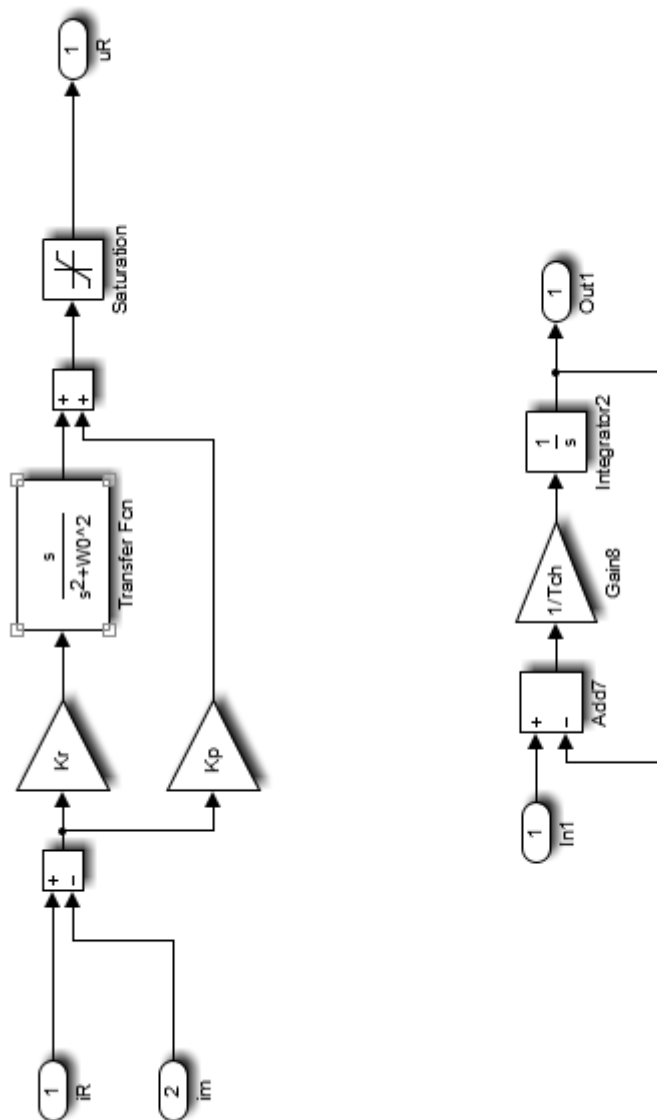
1      % AC mikromreža sa prigušnicom kao teretom
2
3      % Prigušnica
4      Rc = 1.0;           % [Ohm]
5      Lc = 33.0e-3;      % [H]
6
7      % Vremenska konstanta prigušnice
8      Tc = Lc/Rc;       % [s]
9      % Pojačanje prigušnice
10     Kc = 1/Rc;        % [A/V]
11
12     % Vrijeme uzorkovanja
13     Ts = 1.0e-3;
14
15     % Ulazna harmonička veličina
16     f0 = 50.0;        % [Hz]
17     W0 = 2.0*pi*f0;   % [rad/s]
18     Tch = 0.2e-3;    % [s]
19
20     % Simulacija PWM generatora
21     fgen = 1.0e6;     % [Hz]
22     fpwm = 1/Tch;    % [Hz]
23     Tgen = 1/fgen;   % [s]
24     Kgen = 4*fpwm;   % [s]
25
26     % PR regulator
27     Tsig = Tch + Tc + Ts/2;
28     D2i = 0.5; D3i = 0.5;
29     Tei = 1/sqrt(D2i)/W0;
30     Kp = (1.0/Kc)*(Tsig/D2i/D2i/D3i/Tei/Tei/Tei/W0/W0 - 1.0);
31     Kr = (Tsig/Kc)*(1.0/D2i/D2i/D3i/Tei/Tei - W0*W0);
32
33     % Maksimalni napon na ulazu u pretvarač
34     Umax = 800.0; % [V]
35
36     %Referentna vrijednost struje
37     IRef = 10.0;
38
39

```

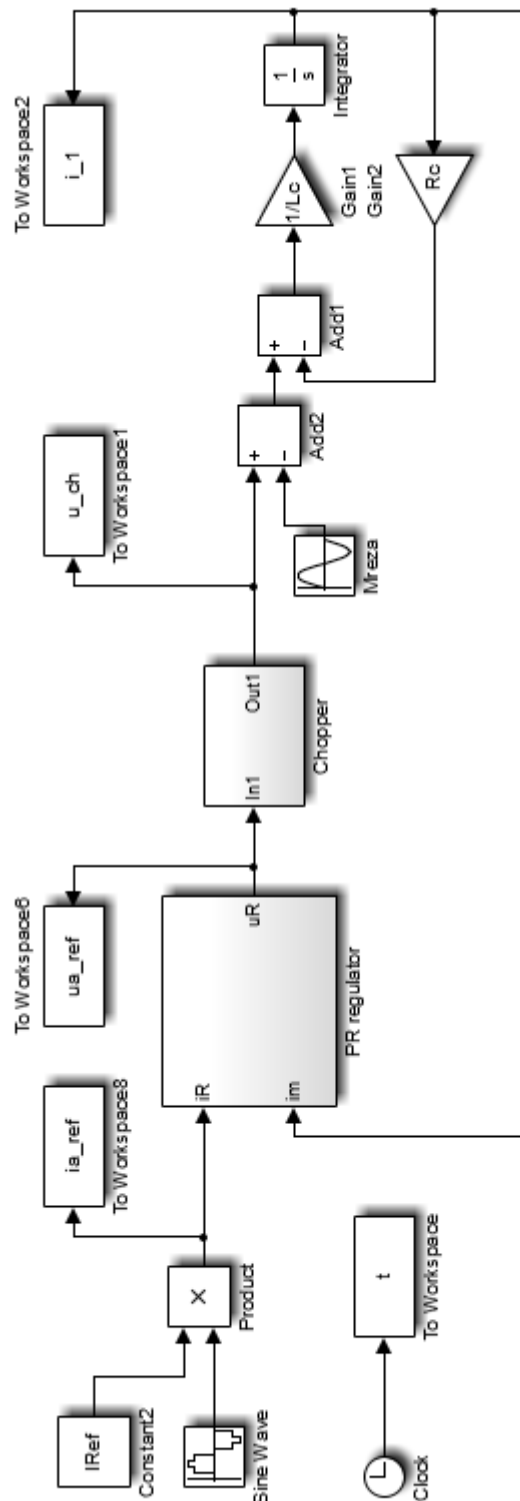
Inicijalizacija PR regulatora



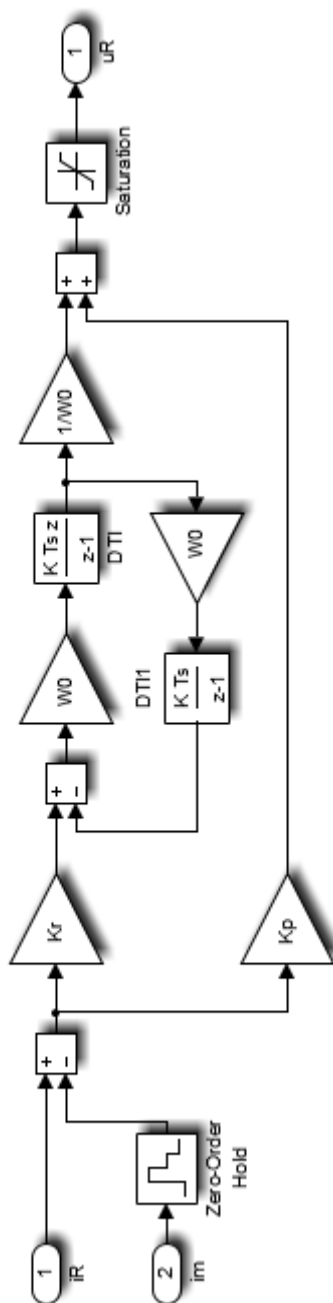
Vremenski kontinuirani sustav sa PR regulatorom



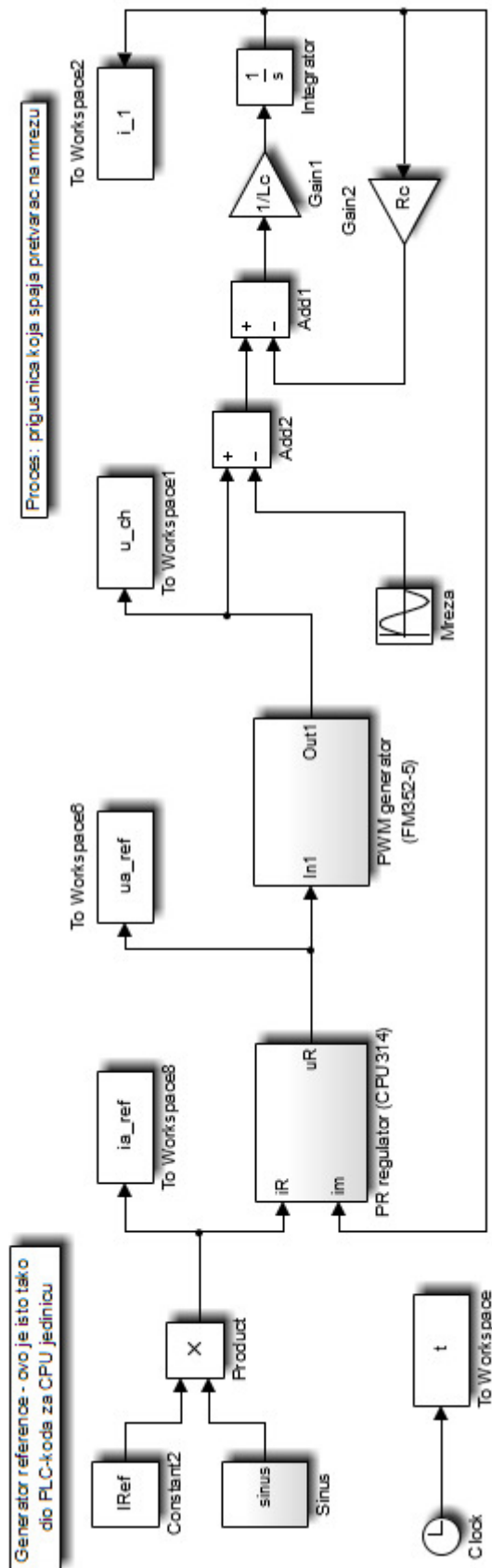
Vremenski-kontinuirani PR regulator (lijevo) i chopper (desno)



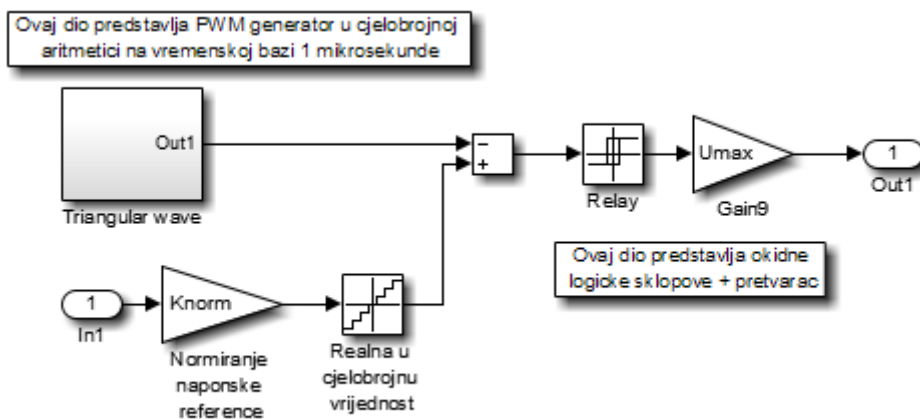
Vremenski-diskretni sustav sa PR regulatorom



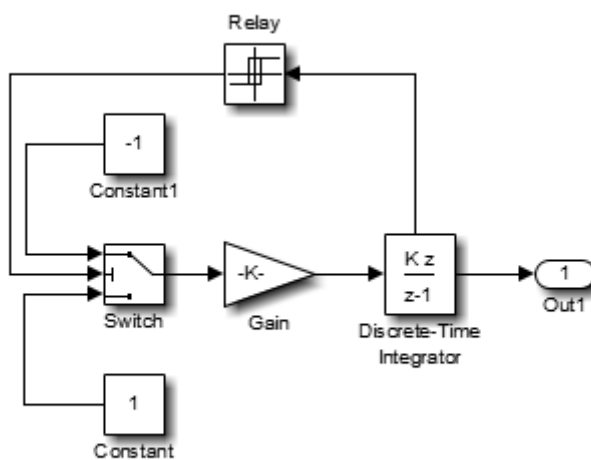
Vremenski diskretni PR regulator



Vremenski-diskretni sustav sa implementiranim PWM generatorom



Generator PWM signala



Generator trokutastog signala

Kod implementiran u PLC S7-200

Susec, POU Symbols




Symbol	Address	Comment
SBR_0	SBR0	
INT_0	INT0	
MAIN	OB1	

Susec, CHT1

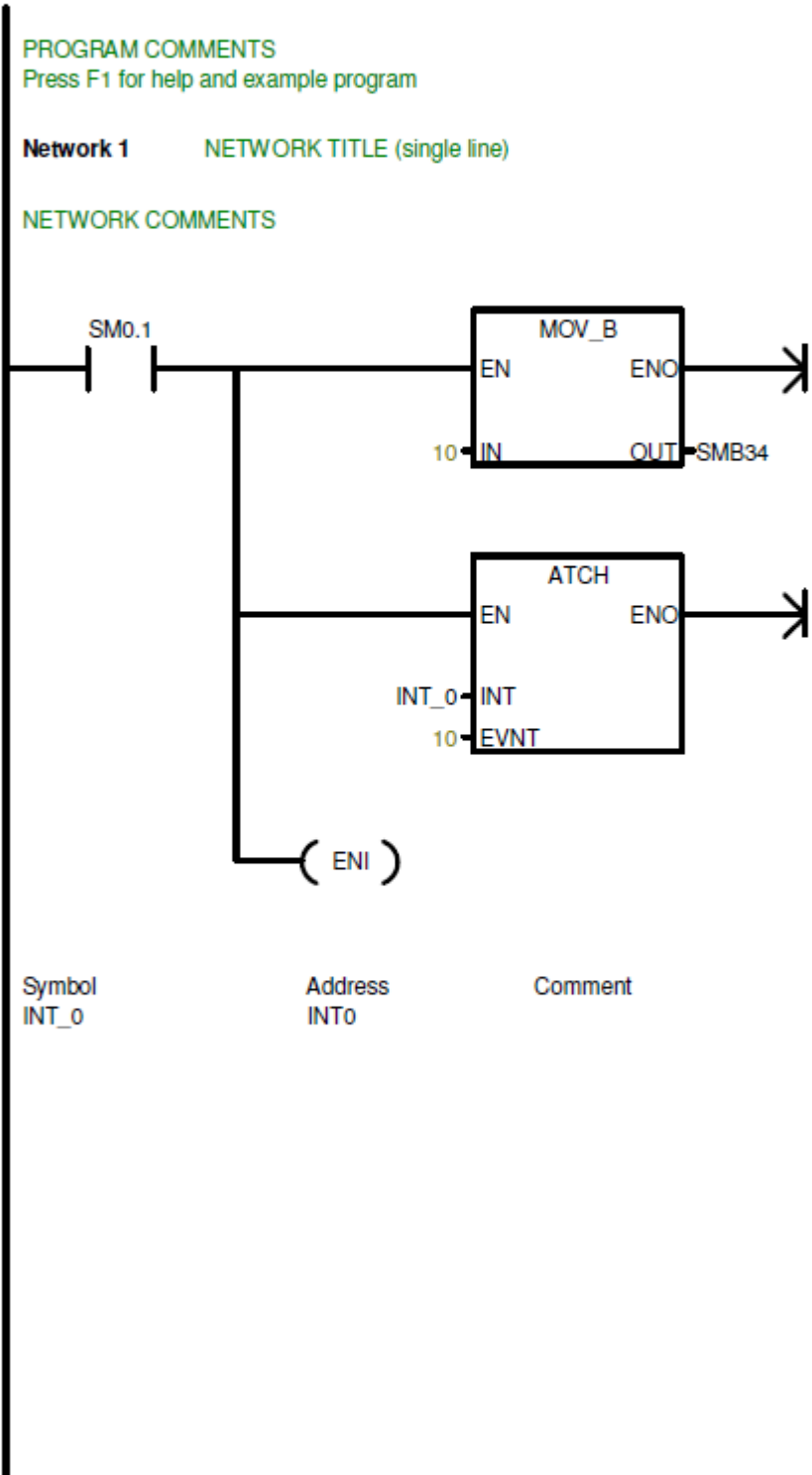
Address	Format
YREF	Floating Point
YM	Floating Point
ur	Floating Point

Susec, USER1

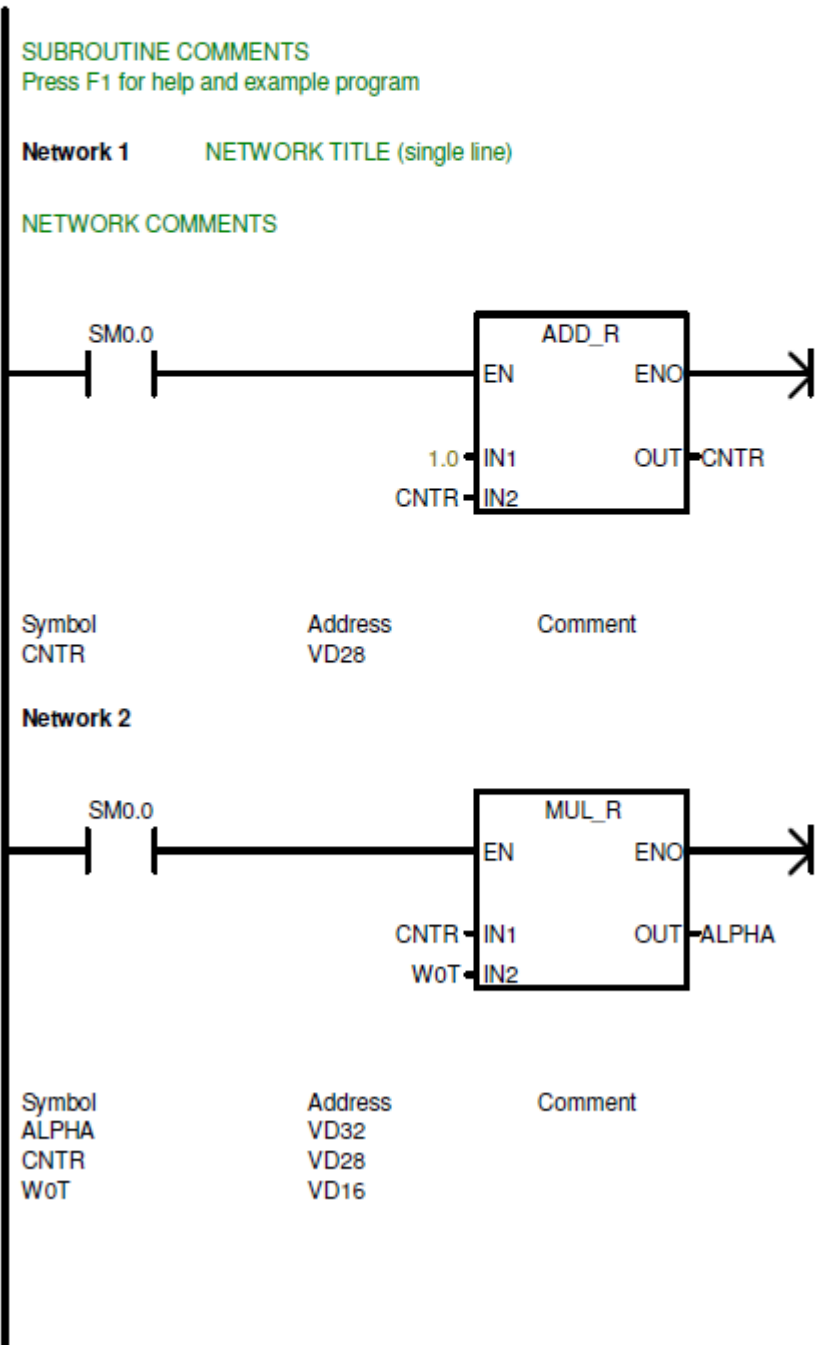
```
//
//DATA BLOCK COMMENTS
//
//Press F1 for help and example data block
//
AM      0.9048      // a
BM      0.0952      // b = 1 - a
Kp      0.1314      // Kp
Kr      0.375       // Kr
W0T     0.005       // W0*T
CNTR    0.0         // counter
OM0     0.5         // Omega0
```

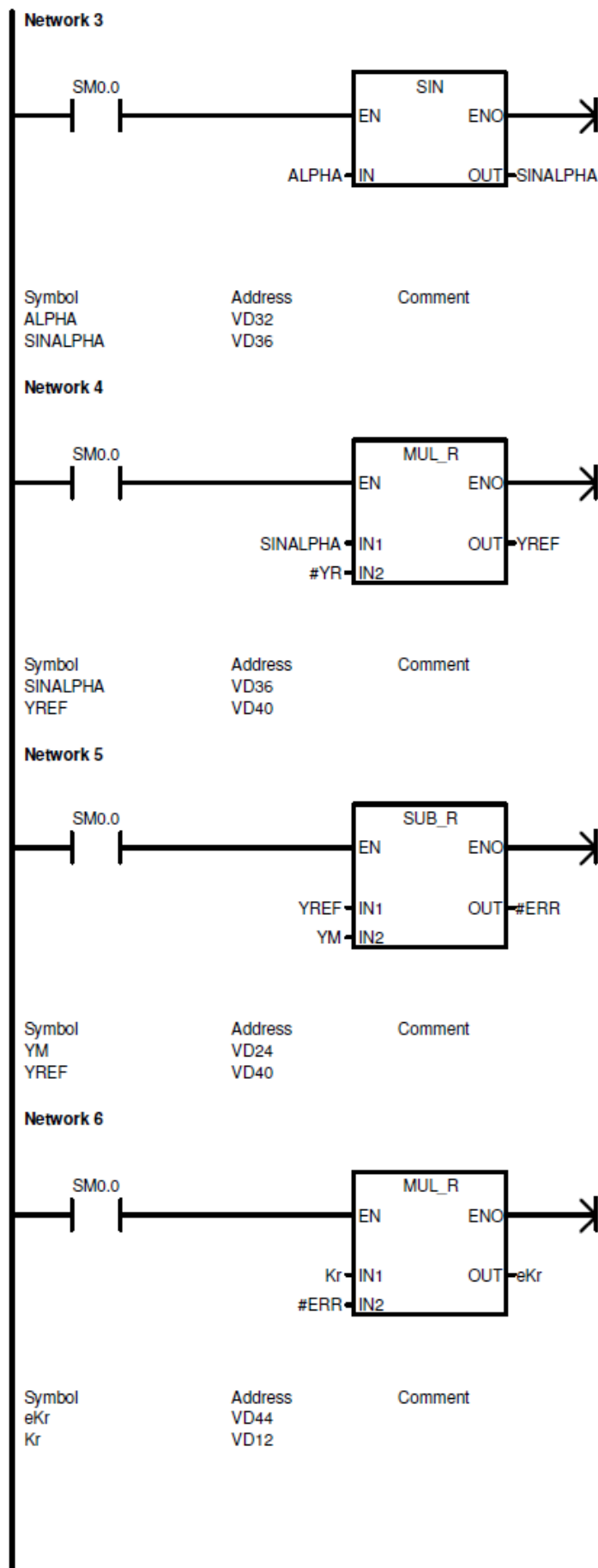
  Symbol	Address	Comment
AM	VD0	
BM	VD4	
Kp	VD8	
Kr	VD12	
W0T	VD16	
 UR	VD20	
YM	VD24	
CNTR	VD28	
ALPHA	VD32	
SINALPHA	VD36	
YREF	VD40	
eKr	VD44	
eKp	VD48	
ew	VD52	
ewm	VD56	
x1	VD60	
x1m	VD64	
x2	VD68	
x1w	VD72	
OM0	VD76	
ur	VD80	
bu	VD84	
ay	VD88	

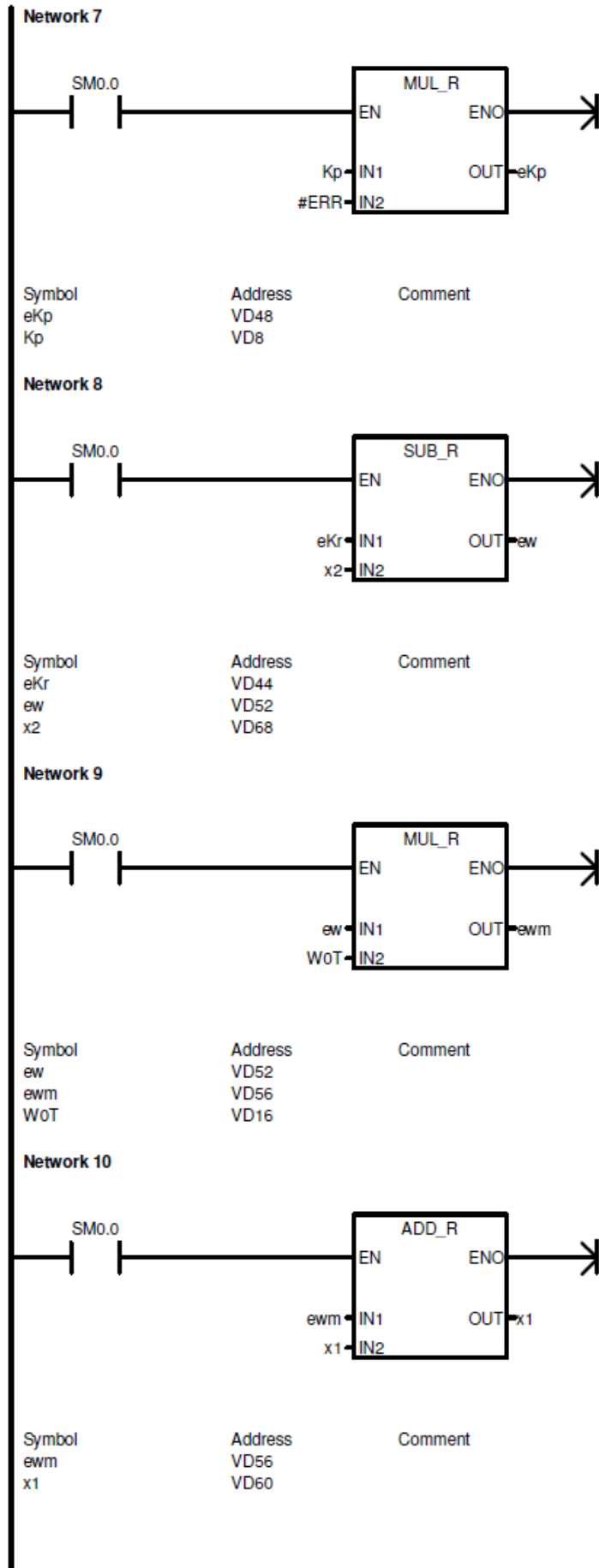
Symbol	Var Type	Data Type	Comment
	TEMP		
	TEMP		
	TEMP		
	TEMP		

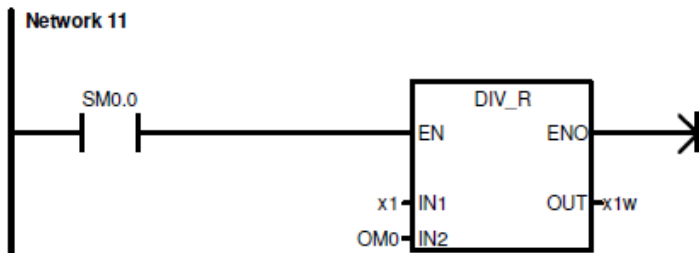


	Symbol	Var Type	Data Type	Comment
	EN	IN	BOOL	
LD0	YR	IN	REAL	
		IN		
		IN_OUT		
		OUT	REAL	
		OUT	REAL	
LD4	ERR	TEMP	REAL	
		TEMP		

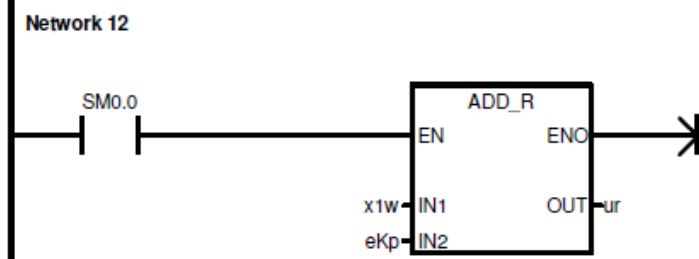




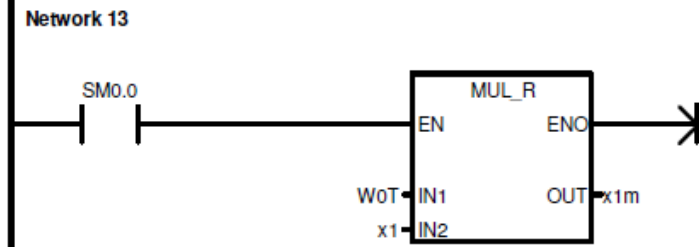




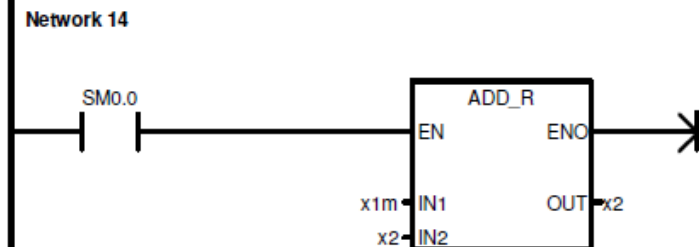
Symbol	Address	Comment
OM0	VD76	
x1	VD60	
x1w	VD72	



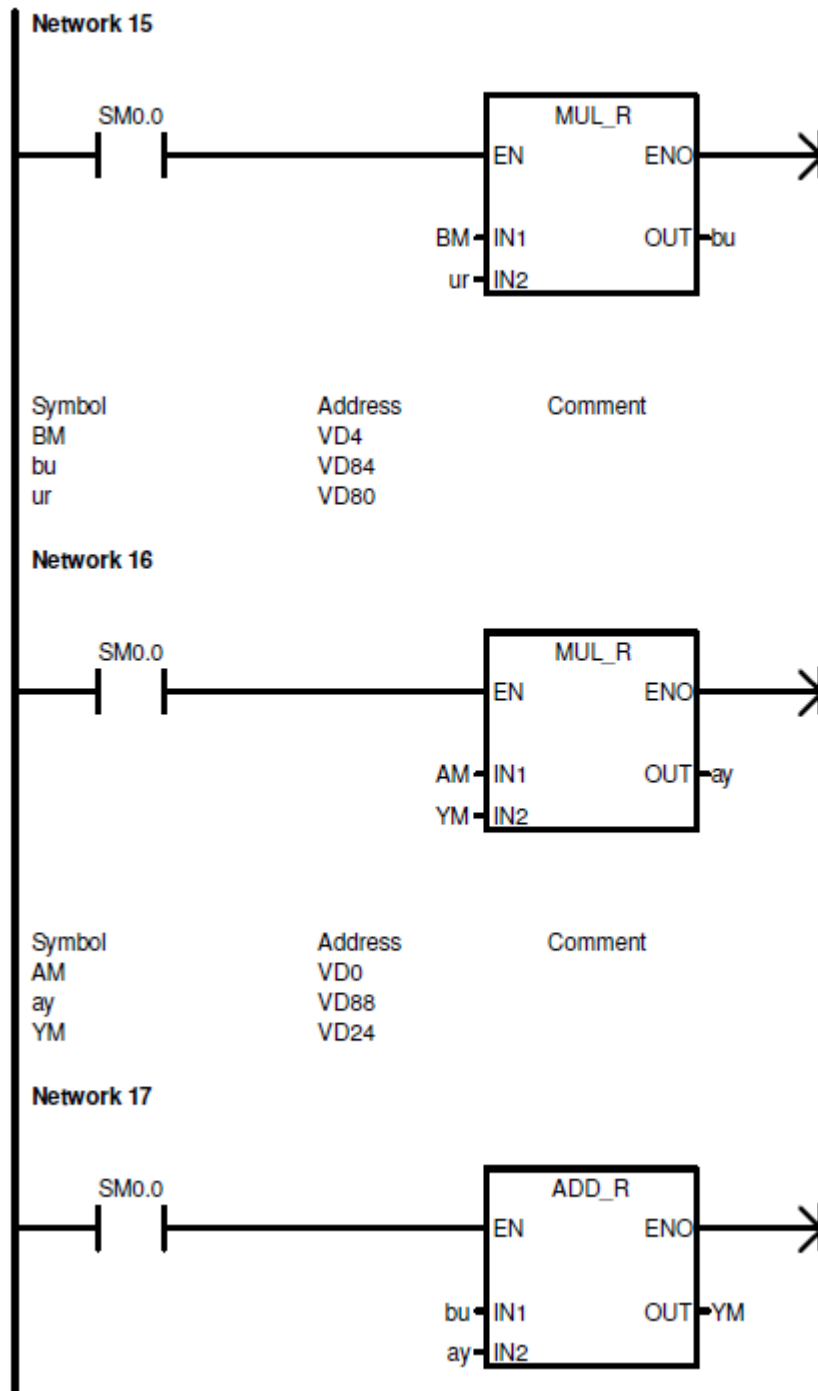
Symbol	Address	Comment
eKp	VD48	
ur	VD80	
x1w	VD72	



Symbol	Address	Comment
W0T	VD16	
x1	VD60	
x1m	VD64	

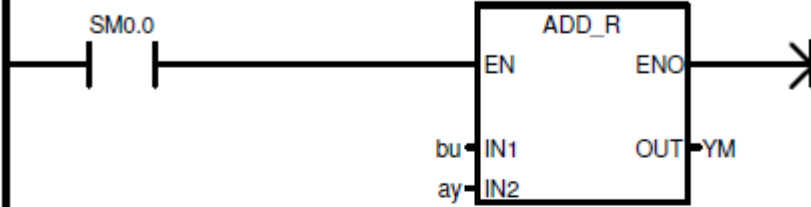


Symbol	Address	Comment
x1m	VD64	
x2	VD68	



Symbol	Address	Comment
AM	VD0	
ay	VD88	
YM	VD24	

Network 17



Symbol	Address	Comment
ay	VD88	
bu	VD84	
YM	VD24	

Symbol	Var Type	Data Type	Comment
	TEMP		
	TEMP		
	TEMP		
	TEMP		

